

SESSION 2021

**AGREGATION
CONCOURS EXTERNE**

Section : SCIENCES INDUSTRIELLES DE L'INGÉNIEUR

**Option : SCIENCES INDUSTRIELLES DE L'INGÉNIEUR
ET INGÉNIERIE ÉLECTRIQUE**

**MODÉLISATION D'UN SYSTÈME, D'UN PROCÉDÉ
OU D'UNE ORGANISATION**

Durée : 6 heures

Calculatrice électronique de poche - y compris calculatrice programmable, alphanumérique ou à écran graphique – à fonctionnement autonome, non imprimante, autorisée conformément à la circulaire n° 99-186 du 16 novembre 1999.

L'usage de tout ouvrage de référence, de tout dictionnaire et de tout autre matériel électronique est rigoureusement interdit.

Si vous repérez ce qui vous semble être une erreur d'énoncé, vous devez le signaler très lisiblement sur votre copie, en proposer la correction et poursuivre l'épreuve en conséquence. De même, si cela vous conduit à formuler une ou plusieurs hypothèses, vous devez la (ou les) mentionner explicitement.

NB : Conformément au principe d'anonymat, votre copie ne doit comporter aucun signe distinctif, tel que nom, signature, origine, etc. Si le travail qui vous est demandé consiste notamment en la rédaction d'un projet ou d'une note, vous devrez impérativement vous abstenir de la signer ou de l'identifier.

Tournez la page S.V.P.

A

INFORMATION AUX CANDIDATS

Vous trouverez ci-après les codes nécessaires vous permettant de compléter les rubriques figurant en en-tête de votre copie

Ces codes doivent être reportés sur chacune des copies que vous remettrez.

Concours	Section/option	Epreuve	Matière
EAE	1416A	102	2680

Étude et modélisation d'un dispositif de maintenance prédictive mettant en œuvre la technologie IoT LoRaWAN

Ce sujet comporte 74 pages :

- la présentation et le questionnement (pages 1 à 33) ;
- les documents annexes **DA1** à **DA37** (pages 34 à 72) ;
- les documents réponses **DR1** et **DR2** à compléter et à rendre avec la copie (pages 73 et 74) .

Il est constitué de 5 parties *totalemt indépendantes les unes des autres* :

- Partie A – Mesure des vibrations et de la température
- Partie B – Détermination de l’empreinte vibratoire
- Partie C – Modélisation du procédé de modulation LoRa
- Partie D – Modélisation du procédé de démodulation LoRa
- Partie E – Transmission du rapport de fonctionnement par voie radio

Une lecture préalable et complète du sujet est fortement conseillée.

Consignes

Les candidats sont invités à numéroter chaque page de leur copie et à indiquer clairement le numéro de la question Q traitée.

Chacune des 5 parties doit être rédigée sur des feuilles séparées et clairement identifiées.

Il est rappelé aux candidats qu'ils doivent utiliser les notations propres au sujet, présenter clairement les calculs et dégager ou encadrer tous les résultats.

En outre, les correcteurs sauront gré aux candidats d'écrire lisiblement et de soigner la qualité de leur copie ; il sera tenu compte de la qualité de rédaction.

Pour la présentation des applications numériques, il est demandé, lors du passage de l'expression littérale à son application numérique, de procéder comme suit : après avoir exprimé la relation littérale, chaque grandeur est remplacée par sa valeur numérique en respectant la position qu'elle avait dans l'expression littérale, puis le résultat numérique est donné sans calculs intermédiaires et sans omettre son unité.

Un résultat exprimé de façon incorrecte ne sera pas pris en compte.

Présentation

1. La maintenance prédictive

Jusqu'à un passé récent, le maintien des systèmes industriels faisait appel à 2 types de maintenances complémentaires : la maintenance préventive et la maintenance corrective. Désormais, avec l'avènement de l'industrie 4.0, la maintenance se retrouve entièrement intégrée aux systèmes de production : ce ne sont plus les équipes de maintenance qui décident des dates des interventions de maintenance préventive, mais les systèmes de production eux-mêmes.

Ces derniers sont pour cela équipés de capteurs assurant la surveillance d'un certain nombre de paramètres physiques (température, pression, vibrations, ...), et lorsqu'ils présentent une dérive par rapport aux valeurs nominales, prédisant qu'un constituant est en passe de devenir défectueux, les équipes de maintenance reçoivent une alerte, et peuvent alors procéder à son remplacement.

Il s'agit donc désormais d'effectuer les opérations de maintenance juste avant que le système de production ne tombe en panne, d'où la terminologie employée : *maintenance prédictive* (que l'on appelle également *maintenance 4.0*).

2. L'Internet des Objets et la technologie LoRaWAN

Dans le contexte d'une usine 4.0 mettant en application le concept de maintenance prédictive, les différents constituants des systèmes de production transmettent à intervalles de temps réguliers et à destination des équipes de maintenance, un rapport sur leur état de fonctionnement.

Une solution technologique consiste à connecter les différents capteurs en réseau et à en effectuer la surveillance à l'aide d'un logiciel de supervision.

Par ailleurs, il peut être judicieux de pouvoir effectuer cette surveillance à distance, et par conséquent de connecter le dispositif de surveillance au réseau internet. Dès lors, les technologies propres à l'Internet des Objets (ou IoT pour *Internet of Things*) s'avèrent particulièrement adaptées à la mise en application du concept de maintenance prédictive.

On s'intéresse à l'une des technologie IoT fréquemment utilisée : la technologie LoRaWAN dont le synoptique est donné en figure 1.

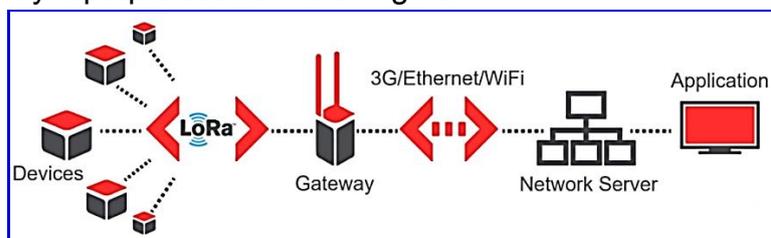


Figure 1

Les données transmises ou reçues par les Objets (appelés ici Devices, également désignés par les termes End Devices) à destination ou en provenance du serveur de réseau (Network Server) transitent via une passerelle (Gateway).

La transmission des données entre les Objets et la passerelle s'effectue par voie hertzienne selon la technologie radio propriétaire LoRa (Long Range), alors que les informations transitant entre la passerelle et le serveur de réseau peuvent emprunter n'importe quel support câblé Ethernet, radio WiFi ou encore proposé par un opérateur de télécommunications mobiles.

L'application proprement dite est accessible depuis un terminal qui peut être connecté directement au serveur de réseau (accès en mode local) ou bien à distance via le cloud.

La figure 2 constitue un cas d'utilisation correspondant à la mise en réseau de 6 objets, permettant de mettre à disposition sur le réseau internet, par exemple :

- la géolocalisation d'un chien, d'une bicyclette et d'une serviette ;
- le niveau de remplissage d'une poubelle ;
- l'état d'un détecteur de fumée ;
- la consommation d'eau.

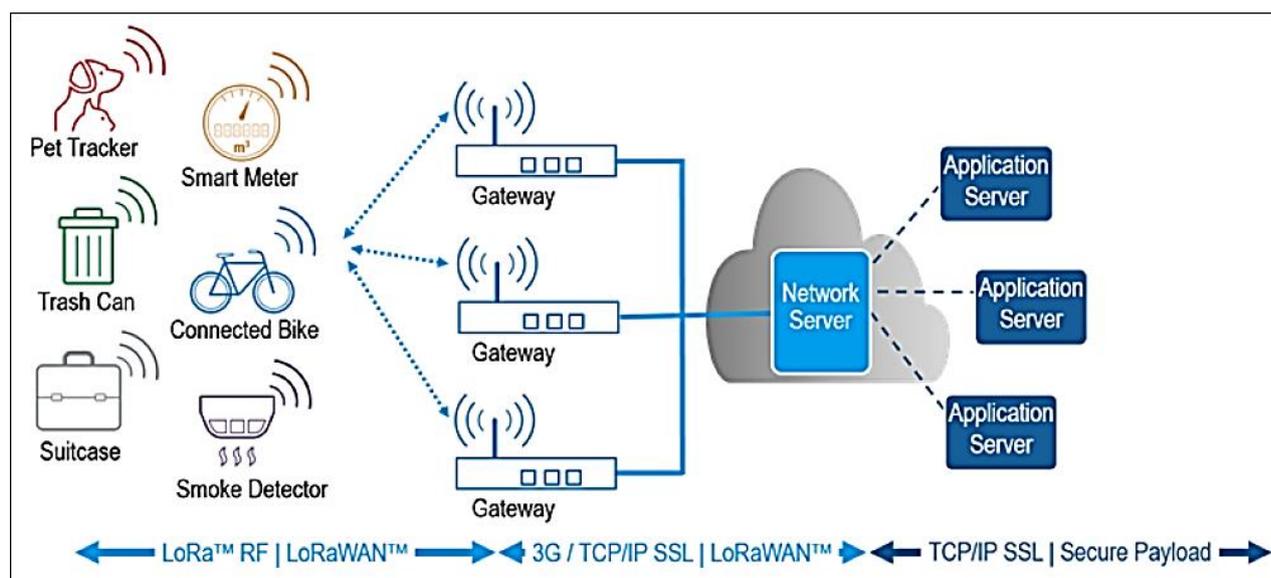


Figure 2

La communication entre les objets connectés d'une part et le serveur de réseau d'autre part, est bidirectionnelle. Il est possible d'intégrer au réseau plusieurs passerelles en fonction de l'étendue de la surface radio à couvrir.

Le terme LoRa (Long Range) désigne uniquement l'interface radio entre les objets connectés et la ou les passerelles (liaison physique et couche physique du modèle OSI), alors que le terme LoRaWAN (Long Range Wide Area Network) intègre le protocole de communication.

3. La solution proposée par la société Éolane en matière de maintenance prédictive

Le constructeur d'équipements électroniques Éolane, en partenariat avec la société Cartesiam AI spécialisée dans le domaine de l'Intelligence Artificielle, propose un dispositif de maintenance prédictive destiné à surveiller à distance le fonctionnement de dispositifs industriels équipés de machines tournantes (pompes, compresseurs, convoyeurs, groupes froid, machines-outils, ...).

Le principe consiste à fixer sur chaque machine à surveiller (sur la figure 3, au niveau du moteur d'une pompe péristaltique), un équipement de surveillance dénommé « Bob Assistant ».



Figure 3

Ce dernier présente deux phases de fonctionnement successives : la phase d'apprentissage puis la phase de monitoring.

Lorsque les équipes de maintenance positionnent un « Bob Assistant » sur une machine, ce dernier analyse et mémorise, sur une durée d'une semaine, les différents régimes vibratoires auxquels il est soumis : il s'agit de la phase d'apprentissage faisant appel à la technologie de *Machine Learning*. Les données significatives des différents régimes vibratoires sont désignées par les termes d'empreinte vibratoire.

Puis, vient la phase de monitoring proprement dite au cours de laquelle le « Bob Assistant » surveille en permanence le fonctionnement de la machine.

Pendant cette phase, le « Bob Assistant » effectue toutes les 5 minutes une acquisition de l'empreinte vibratoire de la machine, qu'il compare aux empreintes vibratoires préalablement mémorisées durant la phase d'apprentissage.

Puis il transmet toutes les 3 heures au serveur de réseau, via une passerelle LoRa, un rapport de fonctionnement de la machine, précisant, entre autres, l'écart constaté entre l'empreinte vibratoire actuelle par rapport à celle supposée.

La figure 4 montre un exemple de rapport de fonctionnement transmis par le « Bob Assistant », visualisé sur le terminal connecté au serveur de réseau de l'application.

Machine	Demo fleet
Id du BOB	70b3d531c0001498
Nom du BOB	BOB8537
Description de BOB	-
Rapport envoyé	2019/06/20 10:17:10
Niveau de vibration anormal	92.1 %
Peak Frequency	148.5 Hz
Température	28 °C
Amplitude max de vibration	0.1372 g
RSSI	-48 dBm
Signature vibratoire	

Figure 4

Ce rapport mentionne :

- l'identifiant du Bob Assistant (donc de la machine associée) ;
- la date d'envoi du rapport ;
- le niveau de vibration jugé anormal ;
- la température ;
- la valeur maximale de la vibration mesurée ;
- une représentation graphique de la signature -ou empreinte- vibratoire ;
- le niveau de réception RSSI.

Dans cet exemple, la différence entre l'empreinte vibratoire acquise durant la phase d'apprentissage et l'empreinte vibratoire instantanée est de 92% : il s'agit d'une valeur très élevée non plausible, donnée ici à titre purement indicatif.

Sur le plan technologique, le « Bob Assistant » comporte 3 composants principaux (figure 5) :

- un capteur de vibrations et de température ;
- un module radiofréquence LoRa associé à une antenne chargés de transmettre par voie radio le rapport de fonctionnement au serveur de réseau ;
- un microcontrôleur (que nous désignerons par la suite par son abréviation μC) permettant successivement d'acquérir les grandeurs électriques significatives des vibrations ainsi que de la température mesurées, de déterminer l'empreinte vibratoire instantanée et de la comparer aux empreintes vibratoires mémorisées durant la phase d'apprentissage et enfin de transmettre au module LoRa les données significatives du rapport de fonctionnement.



Figure 5

Le sujet proposé consiste à étudier le module de surveillance « Bob Assistant » ainsi qu'à modéliser le dispositif de transmission par voie radio LoRa.

Avertissement : dans un souci de confidentialité, certaines solutions techniques matérielles et logicielles présentées dans ce sujet diffèrent sensiblement des versions d'origine, propriétés exclusives de la société Éolane.

On donne en figure 6, le schéma structurel du « Bob Assistant » limité aux seuls composants nécessaires pour traiter ce sujet.

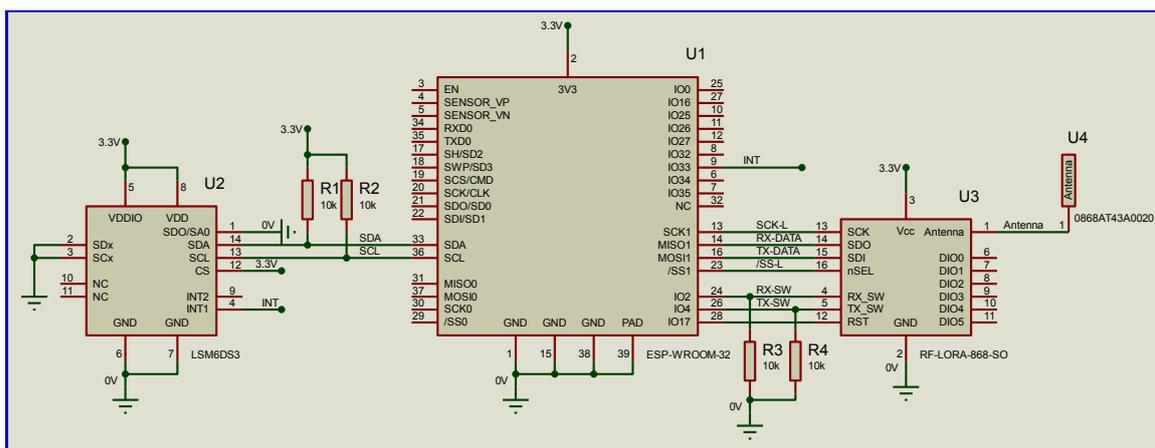


Figure 6

Pour plus de lisibilité, ce schéma structurel est également proposé en document **DA1**.

A. Acquisition de la température et des vibrations

Objectif : étudier la solution technologique permettant d'acquérir les informations significatives de la température et des vibrations.

Documents annexes concernés : DA1 à DA19.

A1. Les fonctionnalités du composant LSM6DS3

Q1. *Indiquer précisément les 3 grandeurs physiques auxquelles le composant LSM6DS3 est sensible ainsi que l'unité dans laquelle elles sont exprimées (voir documents DA2 et DA3).*

Q2. *Préciser la/les plage(s) de mesure de chacune des 2 grandeurs mentionnées en DA2.*

Le composant peut être piloté par deux types d'interface : SPI ou I2C.

Q3. *Indiquer laquelle des deux interfaces est mise en œuvre et préciser l'adresse du composant LSM6DS3 en binaire (sur 7 bits) et en hexadécimal. Donner l'appellation des résistances R1 et R2 et justifier leur présence.*

A2. Mesure de la température

Q4. *Indiquer, à partir du document DA3, sur combien de bits est codée l'information de température T délivrée par le composant, que l'on notera N_T . Préciser à quoi correspond la grandeur T_{Sen} et en déduire la plage de variation de température ΔT que le composant est potentiellement capable de mesurer. Interpréter ce dernier résultat.*

Le composant LSM6DS3 comprend 107 registres internes de format 8 bits chacun (DA7 à DA10). Chacun de ces registres est repéré par une adresse (comprise ici entre 0x00 et 0x6B).

Pour accéder en écriture ou en lecture à l'un de ces registres, il est nécessaire de préciser son adresse, notée SUB par le constructeur (documents DA5 et DA6).

L'information de température N_T , est mémorisée dans les deux registres de 8 bits concaténés [OUT_TEMP_H:OUT_TEMP_L].

Q5. *Préciser en décimal les valeurs de N_T lorsque la température est égale à 20 °C, 25 °C et 30 °C. Compléter pour chacun des 3 cas le document réponse DR1.*

On précise que le bit IF_INC du registre CTRL3_C est à 1.

Une première approche consiste alors à procéder comme pour la mesure de la température, à acquérir la valeur de N_{ax} , puis celle de N_{ay} , puis celle de N_{az} , et recommencer ces 3 opérations autant de fois que souhaité.

Q8. *Calculer la durée de la communication entre le composant LSM6DS3 et le μC , dans le cas où ce dernier récupère la seule information N_{ax} et où la fréquence d'horloge du signal SCL est de 400 kHz. En déduire, en appliquant la méthode explicitée ci-dessus, et en considérant que la durée mise par le μC pour mémoriser dans sa RAM interne l'information N_{ax} (ou N_{ay} ou N_{az}) qu'il vient de récupérer est égale à 100 μs , la durée séparant deux lectures de N_{ax} (ou de N_{ay} ou de N_{az}) successives.*

On constate, sur la figure 7, que le constructeur a par ailleurs équipé son composant d'une mémoire FIFO (First In, First Out) de taille 8 Kioctets. Nous envisageons donc une deuxième approche mettant en œuvre cette FIFO : dans un premier temps le composant mémorise les valeurs successives de N_{ax} , N_{ay} et N_{az} dans la FIFO, et une fois que cette dernière contient le nombre de valeurs de N_{ax} , N_{ay} et N_{az} souhaité, il signale au μC qu'il a terminé sa campagne de mesures, et ce dernier peut alors procéder à la lecture de la FIFO et donc de l'ensemble des valeurs de N_{ax} , N_{ay} et N_{az} successivement mémorisées.

Le cahier des charges suivant est fixé.

Par un procédé non étudié ici, le μC lance toutes les 5 minutes une campagne de 256 mesures de la triple accélération a_x , a_y et a_z à laquelle le « Bob Assistant » est soumis. Cette campagne de mesures se traduit par la mémorisation, dans la FIFO, de 256 valeurs de N_{ax} , 256 valeurs de N_{ay} et 256 valeurs de N_{az} distinctes.

Une fois ces 768 valeurs de $N_{ax/y/z}$ mémorisées dans la FIFO, le composant LSM6DS3 transmet à destination du μC une requête d'interruption INT1 active sur un front montant, dont la fonction d'interruption associée consiste, entre autres, à récupérer les 768 valeurs et à les mémoriser en mémoire RAM interne.

Par ailleurs, il est demandé que la période d'échantillonnage T_e séparant 2 acquisitions successives de l'information de triple accélération $a_{x/y/z}$, soit la plus faible possible.

Le mesure des accélérations s'effectue sur la gamme $\pm 2g$.

On précise les éléments suivants, que n'explique pas clairement la documentation du composant LSM6DS3 :

- lorsque le composant procède à une mesure, les valeurs de a_x , a_y et a_z sont échantillonnées au même instant ;
- ODR signifie Output Data Rate, et cette grandeur étant donnée en Hz, elle correspond donc à la fréquence d'échantillonnage de l'accéléromètre.

Q9. Indiquer sur DR2, le contenu des registres FIFO_CTRL1, FIFO_CTRL2 et FIFO_CTRL3 permettant de satisfaire aux exigences du cahier des charges.

Q10. Indiquer sur DR2, le contenu des registres FIFO_CTRL4, FIFO_CTRL5 et INT1_CTRL.

Q11. Indiquer sur DR2, le contenu des registres CTRL1_XL, CTRL3_C et CTRL4_C.

B. Détermination de l’empreinte vibratoire

Objectif : étudier la solution technologique permettant de déterminer :

- EMP_VIB(f), l’empreinte vibratoire à laquelle le « Bob Assistant » est soumis ;
- $EMP_VIB(f_0)_{max}$, la valeur maximale de cette empreinte vibratoire ;
- f_0 , la valeur de la fréquence pour laquelle l’empreinte vibratoire est maximale.

Documents annexes concernés : DA20 (1 sur 2) et DA20 (2 sur 2).

Rappels :

- le microcontrôleur lance toutes les 5 minutes une campagne de 256 mesures des accélérations a_x , a_y et a_z auxquelles le « Bob Assistant » est soumis ;
- à l’issue de chaque campagne de mesures, la FIFO du composant LSM6DS3 contient donc 256 valeurs de N_{ax} , 256 valeurs de N_{ay} et 256 valeurs de N_{az} ;
- l’acquisition des accélérations s’effectue avec une fréquence d’échantillonnage F_e ;
- à chaque nouvel instant d’échantillonnage kT_e , le composant LSM6DS3 acquiert les valeurs de $a_x(kT_e)$, $a_y(kT_e)$ et $a_z(kT_e)$, et la durée de la campagne de mesures est par conséquent égale à $256.T_e$.

On précise ci-après comment s’effectue le traitement du signal permettant d’estimer l’empreinte vibratoire EMP_VIB(f) ainsi que les paramètres $EMP_VIB(f_0)_{max}$ et f_0 , notés respectivement sur le tableau de bord de la figure 4 « Signature vibratoire », « Amplitude max de vibration » et « Peak Frequency ».

Le microcontrôleur effectue ce traitement en 7 étapes successives :

- 1) lecture des 768 valeurs de $N_{ax/y/z}$ mémorisées dans la FIFO du composant LSM6DS3 ;
- 2) calcul de 256 valeurs de l'accélération instantanée $a_n = \sqrt{ax_n^2 + ay_n^2 + az_n^2}$;
- 3) calcul par FFT du spectre d'amplitude A_k de l'accélération instantanée a_n ;
- 4) calcul du spectre d'amplitude V_k de la vitesse instantanée v_n ;
- 5) calcul, à partir du spectre d'amplitude V_k , de l'empreinte vibratoire EMP_VIB_k ;
- 6) calcul de $EMP_VIB_{k|max}$;
- 7) calcul de la valeur de la fréquence f_0 correspondant à la valeur de k pour laquelle EMP_VIB_k est maximale.

B1. De la DFT à la FFT

On s'intéresse dans un premier temps à la caractérisation de la FFT qui sera mise en œuvre dans le cadre du calcul de l'empreinte vibratoire (étape 3).

L'accélération, dans cette application, correspond à la séquence $a_n = \{a_0, a_1, a_2, \dots, a_{255}\}$ constituée de 256 valeurs discrètes réelles de a_n ; par conséquent, l'analyse spectrale de la grandeur accélération peut s'effectuer à l'aide d'une DFT (Discrete Fourier Transform).

DFT : rappel

La DFT associe à la séquence d'entrée x_n constituée de N échantillons, la séquence de sortie X_k constituée également de N valeurs, telle que :

$$X_k = \sum_{n=0}^{N-1} x_n \cdot W_N^{nk} \quad \text{pour } 0 \leq k \leq N-1 \text{ et avec } W_N = e^{-j\frac{2\pi}{N}} \text{ (Twiddle Factor)}$$

L'ensemble des N valeurs de X_k représente alors le spectre d'amplitude complexe de la séquence d'entrée x_n .

FFT : rappel

La FFT (Fast Fourier Transform ou TFR pour Transformée de Fourier Rapide en français) est une DFT dont la structure a été optimisée de façon à réduire le nombre d'opérations nécessaires pour le calcul des valeurs de X_k .

Nous considérons dans ce qui suit l'algorithme de la FFT proposé par Cooley et Tukey :

- appliqué à une séquence d'échantillons d'entrée x_n réels,
- de base 2 (radix-2 FFT), pour laquelle la valeur de N est une puissance de 2,
- à décimation dans le temps (DIT radix-2 FFT).

Cet algorithme se base sur le lemme de Danielson et Lanczos, qui précise que le calcul de la DFT peut se décomposer en deux sommes d'échantillons, pairs pour la première, et impairs pour la seconde.

Q12. Montrer que l'on peut exprimer la DFT de la séquence x_n sous la forme suivante :

$$X_k = \sum_{n=0}^{\frac{N}{2}-1} x_{2n} \cdot W_N^{2nk} + W_N^k \cdot \sum_{n=0}^{\frac{N}{2}-1} x_{2n+1} \cdot W_N^{2nk} \quad \text{pour } 0 \leq k \leq N-1 \text{ et avec } W_N = e^{-j\frac{2\pi}{N}}$$

Q13. Exprimer X_k dans le cas particulier où $N = 2$ et montrer que l'on peut écrire X_0 et X_1 sous la forme $X_0 = x_0 + W_2^0 \cdot x_1$ et $X_1 = x_0 - W_2^0 \cdot x_1$.

Ce calcul correspond à la FFT d'une suite de deux échantillons d'entrée x_0 et x_1 que l'on a pour habitude de représenter graphiquement à l'aide d'une structure dite « en papillon » à 2 entrées et 2 sorties (figure 8).

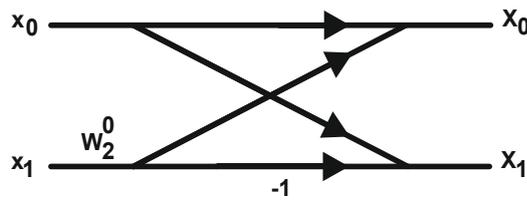


Figure 8

Le calcul de la FFT d'une séquence de quatre échantillons d'entrée $x_n = \{x_0, x_1, x_2, x_3\}$ consiste alors à décomposer chacune des deux sommes mentionnées à la question Q12, en deux sommes distinctes :

$$\sum_{n=0}^{\frac{N}{2}-1} x_{2n} \cdot W_N^{2nk} = \sum_{n=0}^{\frac{N}{4}-1} x_{4n} \cdot W_N^{4nk} + W_{N/2}^k \cdot \sum_{n=0}^{\frac{N}{4}-1} x_{4n+2} \cdot W_N^{4nk}$$

$$W_N^k \cdot \sum_{n=0}^{\frac{N}{2}-1} x_{2n+1} \cdot W_N^{2nk} = W_N^k \cdot \sum_{n=0}^{\frac{N}{4}-1} x_{4n+1} \cdot W_N^{4nk} + W_N^k \cdot W_{N/2}^k \cdot \sum_{n=0}^{\frac{N}{4}-1} x_{4n+3} \cdot W_N^{4nk}$$

Ce qui conduit à :

$$X_k = \sum_{n=0}^{\frac{N}{4}-1} x_{4n} \cdot W_N^{4nk} + W_{N/2}^k \cdot \sum_{n=0}^{\frac{N}{4}-1} x_{4n+2} \cdot W_N^{4nk} + W_N^k \cdot \sum_{n=0}^{\frac{N}{4}-1} x_{4n+1} \cdot W_N^{4nk} + W_N^k \cdot W_{N/2}^k \cdot \sum_{n=0}^{\frac{N}{4}-1} x_{4n+3} \cdot W_N^{4nk}$$

On montre alors que le calcul de la FFT sur 4 échantillons conduit aux expressions suivantes :

$$X_0 = x_0 + W_2^0 \cdot x_2 + W_4^0 \cdot (x_1 + W_2^0 \cdot x_3) \quad X_1 = x_0 - W_2^0 \cdot x_2 + W_4^1 \cdot (x_1 - W_2^0 \cdot x_3)$$

$$X_2 = x_0 + W_2^0 \cdot x_2 - W_4^0 \cdot (x_1 + W_2^0 \cdot x_3) \quad X_3 = x_0 - W_2^0 \cdot x_2 - W_4^1 \cdot (x_1 - W_2^0 \cdot x_3)$$

On peut en déduire, en figure 9, la représentation graphique d'une FFT de 4 échantillons :

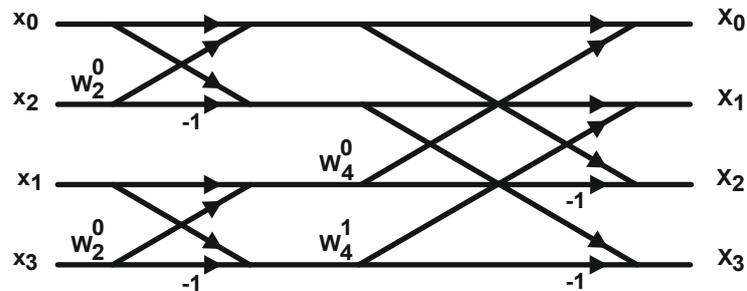


Figure 9

On donne par ailleurs à titre d'exemple, en figure 10, la représentation graphique d'une FFT de 8 échantillons.

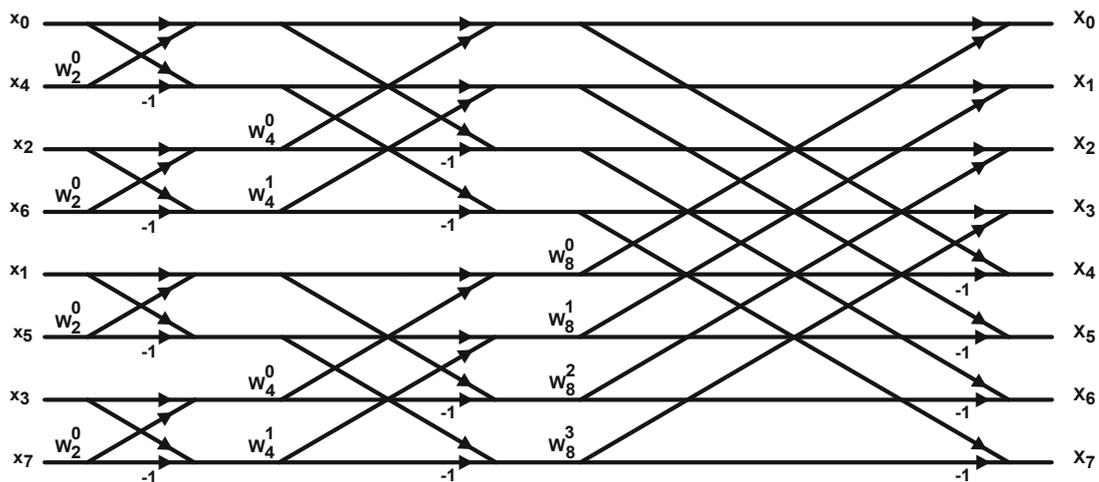


Figure 10

On se propose, dans ce qui suit, de comptabiliser le nombre d'additions et de multiplications distinctes à effectuer pour réaliser la FFT des 256 échantillons d'entrée a_0 à a_{255} .

Pour l'application étudiée, les 256 échantillons d'entrée sont réels, donc les papillons associés aux étages d'entrée de la FFT sont calculés à partir de grandeurs réelles (figure 11a). Par contre, les grandeurs de sortie de ces papillons d'entrée étant des grandeurs complexes, on peut en déduire que les autres papillons de la FFT seront calculés à partir de grandeurs d'entrée complexes (figure 11b).

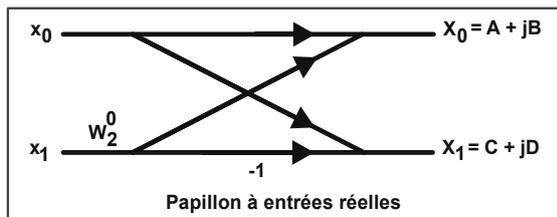


Figure 11a

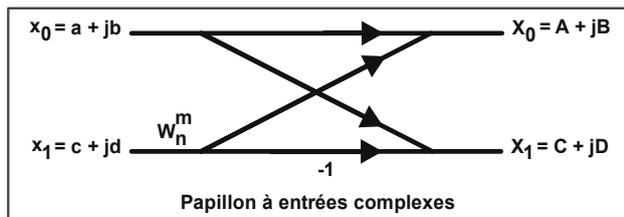


Figure 11b

Pour ce qui concerne un papillon à entrées x_0 et x_1 réelles (figure 11a), on peut écrire :

- $X_0 = A + jB = x_0 + x_1 \cdot \cos\alpha - j(x_1 \cdot \sin\alpha)$;
- $X_1 = C + jD = x_0 - x_1 \cdot \cos\alpha + j(x_1 \cdot \sin\alpha)$.

On constate que le produit $x_1 \cdot \cos\alpha$ est commun au calcul de X_0 et X_1 , donc il ne sera calculé qu'une seule fois.

Il en va de même pour $x_1 \cdot \sin\alpha$, que l'on retrouve à deux reprises également.

Finalement, on peut optimiser les calculs de la façon suivante :

- $X_0 = A + jB$, avec $A = (x_0 + x_1 \cdot \cos\alpha)$ et $B = -x_1 \cdot \sin\alpha$, ce qui nécessite 2 multiplications et 1 addition pour le calcul de A et B ;
- $X_1 = C + jD$, avec $C = (x_0 - x_1 \cdot \cos\alpha)$ et $D = x_1 \cdot \sin\alpha$, soit 1 addition supplémentaire seulement pour le calcul de C et D.

Au total, le calcul des parties réelles (A et C) et des parties imaginaires (B et D) de X_0 et X_1 nécessite par conséquent 2 multiplications et 2 additions distinctes.

Q14. *Comptabiliser, par un raisonnement analogue à celui qui vient d'être proposé, le nombre d'additions et de multiplications distinctes permettant de calculer les échantillons de sortie X_0 et X_1 d'un papillon dont les échantillons d'entrée x_0 et x_1 sont des grandeurs complexes (figure 11b).*

En déduire le nombre d'additions et de multiplications distinctes nécessaires au calcul d'une FFT portant sur une séquence x_n de 4 échantillons (figure 9), puis de 8 échantillons (figure 10).

Q15. *Indiquer, sur le document réponse DR2, le nombre de structures papillon implantées dans le cas d'une FFT de 2, 4, 8, 16 et 32 échantillons.*

En déduire le nombre d'additions et de multiplications distinctes nécessaires pour le calcul de la FFT portant sur la séquence a_n de 256 échantillons réels correspondant à cette application.

Q16. *Justifier la raison pour laquelle, en pratique, pour une séquence x_n de N échantillons réels, on ne calcule que les valeurs de X_0 à $X_{(N/2)-1}$.*

B2. Le calcul de l’empreinte vibratoire

On propose en figure 12 l’algorithme d’un programme de test permettant, toutes les 5 minutes, d’effectuer une campagne de 256 mesures d’accélération successives à l’issue de laquelle il détermine les 3 éléments de caractérisation des vibrations suivants :

- $EMP_VIB(f)$, l’empreinte vibratoire à laquelle le « Bob Assistant » est soumis ;
- $EMP_VIB(f_0)_{max}$, la valeur maximale de cette empreinte vibratoire ;
- f_0 , la valeur de fréquence pour laquelle l’empreinte vibratoire est maximale.

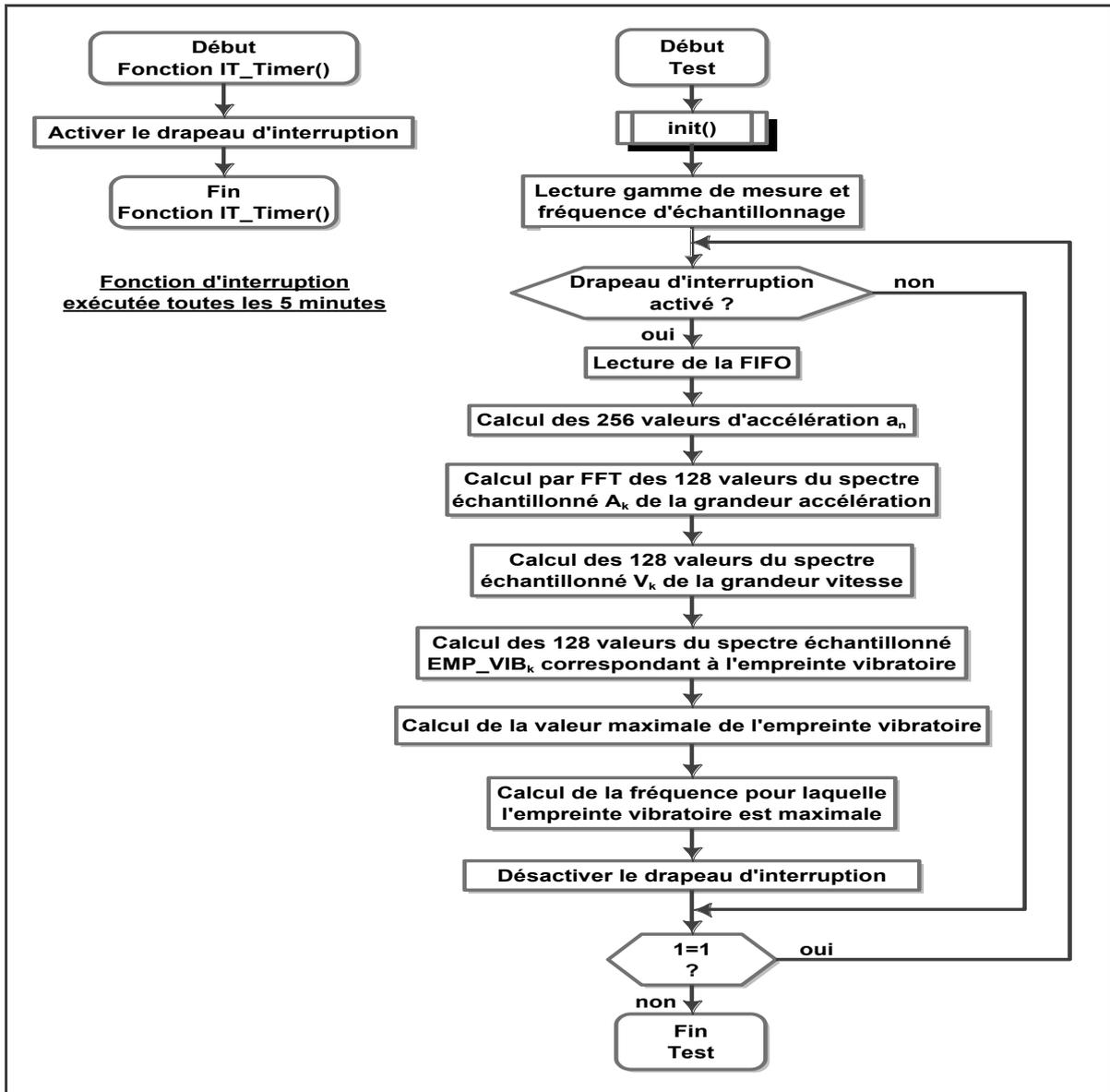


Figure 12

Une horloge temps réel (non étudiée ici) ordonne toutes les 5 minutes au composant LSM6DS3 de procéder à une campagne de 256 mesures d'accélération a_x , a_y et a_z successives.

La FIFO du composant se remplit alors successivement des valeurs de $N_{ax/y/z}$, et lorsqu'arrive la 768^{ème} valeur, elle déclenche la requête d'interruption entraînant l'exécution de la fonction d'interruption `IT_Timer()`.

On donne en document annexe DA20 le codage partiel du programme de test en langage C.

On donne également, ci-dessous, la description des fonctions `fft256(buf_a,0)` et `init()`.

Fonction `fft256(buf_a,0)`

Cette fonction :

- récupère en entrée les 256 échantillons d'accélération a_n ;
- effectue la FFT sur ces 256 échantillons a_n , limitée aux 128 premières valeurs de A_k ;
- mémorise les 128 parties réelles de A_k résultant de la FFT dans la variable `buf_a[Ak][0]` et les 128 parties imaginaires de A_k dans la variable `buf_a[Ak][1]`.

Fonction `init()`

Le codage de cette fonction n'est pas donné.

C'est à ce niveau que la personne en charge du test initialise les registres `CTRL1_XL` et `FIFO_CTRL5`, afin de sélectionner la gamme de mesure d'accélération ainsi que la fréquence d'échantillonnage souhaitées.

Q17. *Indiquer la ligne de programme à insérer en lieu et place de la mention // À compléter 1 //.*

Q18. *Indiquer ce qu'effectue l'instruction `buf_a[rang_buffer][0]=sqrt(tmp_a)`.*

Q19. *Indiquer les lignes de programme à insérer au niveau de la mention // À compléter 2 // permettant, à partir de $Re[A_k]$, la partie réelle de A_k et de $Im[A_k]$, la partie imaginaire de A_k , de mémoriser $(Re[A_k]^2 + Im[A_k]^2)$ dans la variable `tmp_mod`.*

On précise qu'après exécution de l'instruction « `buf_v[i]=(sqrt(tmp_mod)*g_v)/i` », le tableau `buf_v[i]` contient les 128 valeurs de $|V_k|$ (module de V_k).

Q20. *Exprimer $|V_k|$ en fonction de $|A_k|$, de F_e et de k . Justifier la valeur du coefficient 1 000.*

On précise que l'élément de programme ci-dessous permet, à partir du module des 128 échantillons V_k mémorisés dans le tableau $\text{buf_V}[k]$, de calculer le module des 128 valeurs de l'empreinte vibratoire EMP_VIB_k et de les mémoriser dans le tableau $\text{EMP_VIB}[k]$:

```
for(k=1;k<TAILLE_FFT;k++)
{
    tmp_V=buf_V[k-1]*buf_V[k-1];
    tmp_V+=(buf_V[k]*buf_V[k]);
    if (k<TAILLE_BUFFER-1) tmp_V+=(buf_V[k+1]*buf_V[k+1]);
    else tmp_V+=(buf_V[k]*buf_V[k]);
    buf_EMP_VIB[k]=sqrt(tmp_V);
}
```

Q21. Exprimer à partir de ces lignes de programme, la relation entre $|\text{EMP_VIB}_k|$ et $|V_k|$.

Q22. Justifier la ligne de programme $\text{pic}_f=(k*1000)/(6.28*g_v)$ permettant de déterminer la valeur de la fréquence pour laquelle le module de l'empreinte vibratoire est maximal.

C. Modélisation du procédé de modulation LoRa

Objectif : Proposer un modèle permettant de synthétiser un modulateur LoRa.

Documents annexe concernés : DA21 à DA26.

C1. Les caractéristiques du signal modulé $s(t)$

Le modulateur LoRa permet, à partir du message numérique $m(t)$ à transmettre (signal modulant), d'élaborer le signal radio modulé $s(t)$ de caractéristiques conformes au standard radio LoRa.



Le signal $s(t)$ est un signal sinusoïdal modulé en fréquence dont la fréquence évolue linéairement au cours du temps (signal que l'on désigne par le terme *chirp*).

Le signal modulant $m(t)$ est numérique et constitué d'une succession de symboles n exprimés en décimal et transmis les uns à la suite des autres.

La figure 13 représente l'évolution de la fréquence du signal modulé $s(t)$ au cours de la transmission d'un symbole n constitutif du message $m(t)$:

- la fréquence f du signal modulé $s(t)$ évolue de part et d'autre d'une fréquence porteuse $f_c = 1/T_c$, entre $f_{min} = f_c - BW/2$ et $f_{max} = f_c + BW/2$, où BW (BandWidth) correspond à la variation de fréquence du signal modulé ;
- f_n correspond à la valeur de la fréquence de $s(t)$ à l'instant $t = 0$ de début de transmission du symbole n ;
- t_n correspond à l'instant où le signal modulé $s(t)$ présente une discontinuité de fréquence ;
- T_s (période symbole) correspond à la durée de transmission d'un symbole n .

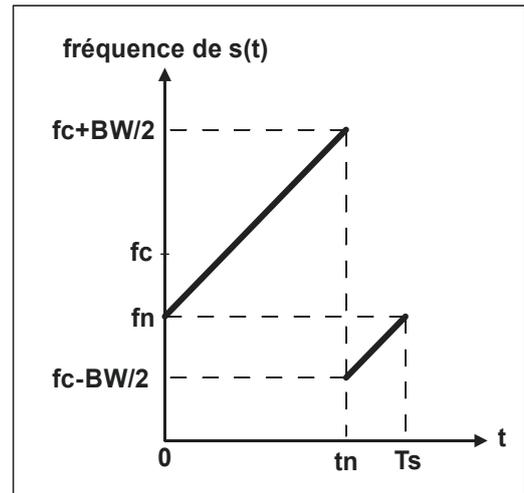


Figure 13

On précise les caractéristiques du signal module $s(t)$ telles que définies par l'alliance LoRa :

- les symboles n sont codés en binaire sur un nombre de bits noté SF (Spreading Factor) pouvant prendre les 6 valeurs distinctes 7, 8, 9, 10, 11 et 12 ;
- les valeurs de BW normalisées sont 125 kHz et 250 kHz ;
- les 7 combinaisons possibles de valeurs de SF et de BW , sont les suivantes :

SF	BW (kHz)
7	250
7	125
8	125
9	125
10	125
11	125
12	125

- les valeurs de SF et de T_s sont liées par la relation $T_s = \frac{2^{SF}}{BW}$;

- en Europe, le standard LoRa, impose 3 canaux distincts, caractérisés par les 3 valeurs de fréquence porteuse f_c égales à 868,1 MHz, 868,3 MHz et 868,5 MHz, mais chaque opérateur peut ajouter à ces 3 canaux, 5 canaux supplémentaires de fréquences porteuses f_c égales à 867,1 MHz, 867,3 MHz, 867,5 MHz, 867,7 MHz et 867,9 MHz.

On donne en figure 14, l'illustration de l'évolution temporelle de la fréquence du signal modulé $s(t)$ correspondant à la transmission par voie radio des 8 symboles successifs 0, 0, 64, 128, 192, 128, 0 et 192, ces derniers correspondant à des nombres non signés codés sur 8 bits ($SF = 8$).

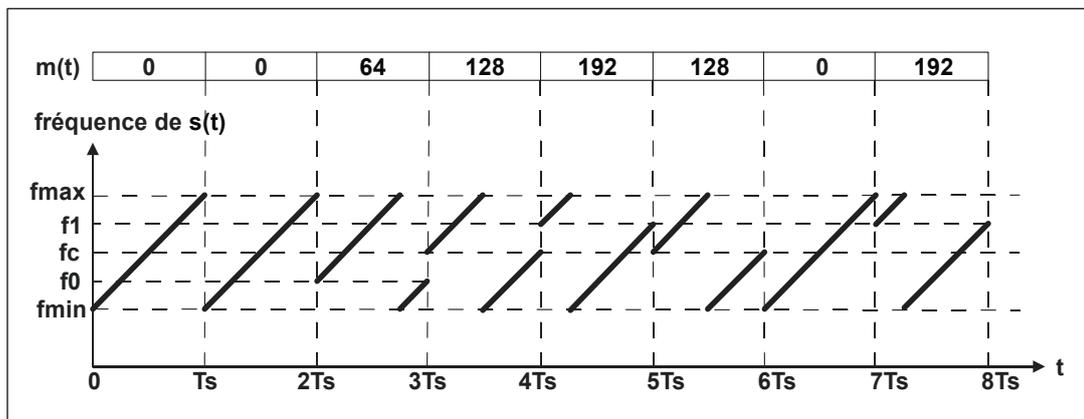


Figure 14

Q23. Calculer, dans le cas de la figure 14 pour lequel $f_c = 868,1$ MHz, $BW = 125$ kHz et $SF = 8$, les valeurs de T_s , f_{min} et f_{max} , et évaluer les valeurs de f_0 et de f_1 .

On constate, en figure 13, qu'entre les instants $t = 0$ et $t = t_n$, la fréquence de $s(t)$ évolue selon la relation $at + fn$.

Q24. Exprimer, d'après cette figure :

- a en fonction de BW et SF ;
- fn en fonction de f_c , BW , SF et n ;
- t_n en fonction de BW , SF et n .

Rappel : tout signal sinusoïdal $x(t)$ peut s'écrire sous la forme $x(t) = \cos[\varphi_i(t)]$ où $\varphi_i(t)$ désigne sa phase instantanée.

On définit par ailleurs sa pulsation instantanée $\omega_i(t)$ telle que $\omega_i(t) = \frac{d\varphi_i(t)}{dt}$.

On définit enfin sa fréquence instantanée $f_i(t)$ telle que $f_i(t) = \frac{1}{2\pi} \frac{d\varphi_i(t)}{dt} = \frac{\omega_i(t)}{2\pi}$.

Expression littérale d'un chirp

La fréquence d'un chirp évolue linéairement, donc sa fréquence instantanée $f_i(t)$ est de la forme $f_i(t) = at + f_n$.

D'où $\frac{1}{2\pi} \frac{d\varphi_i(t)}{dt} = at + f_n$, soit $\varphi_i(t) = 2\pi \int_0^t (a\tau + f_n) d\tau$ soit $\varphi(t) = 2\pi \left(\frac{a}{2}t + f_n\right)t + \varphi(0)$.

D'où l'expression générique d'un chirp : $x(t) = \cos \left[2\pi \left(\frac{a}{2}t + f_n\right)t + \varphi(0) \right]$ [1]

Soit, en considérant $\varphi(0) = 0$: $x(t) = \cos \left[2\pi \left(\frac{a}{2}t + f_n\right)t \right]$ [2]

Q25. Exprimer, à partir de [2] et lorsque $0 \leq t < t_n$, $s(t)$ en fonction de f_c , BW , SF , n et t . Exprimer de la même façon, lorsque $t_n \leq t < T_s$, $s(t)$ en fonction de f_c , BW , SF et $(t-t_n)$.

C2. Synthèse directe du signal modulé $s(t)$

On propose, pour élaborer le signal $s(t)$, d'intégrer un convertisseur numérique analogique que l'on alimentera avec la séquence $s(k)$, conformément au synoptique de la figure 15 :

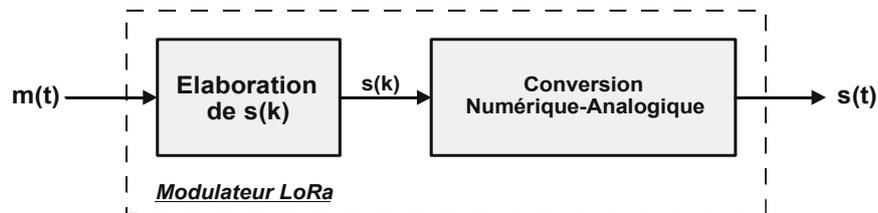


Figure 15

Q26. À partir de l'expression de $s(t)$ proposée en réponse à la question Q25, et en remplaçant t par $k.\Delta T$ où ΔT désigne la durée séparant l'envoi de deux échantillons $s(k)$ et $s(k+1)$ successifs, donner l'expression de $s(k)$ en fonction de f_c , BW , T_s , ΔT , n , SF et k lorsque $0 \leq t < t_n$.

On choisit, afin de garantir au signal modulé $s(t)$ un taux de distorsion harmonique suffisamment faible, d'élaborer 10 échantillons $s(k)$ par période T_c .

Q27. Calculer dans ces conditions la durée ΔT , et indiquer la raison pour laquelle la solution technologique de synthèse directe du signal modulé $s(t)$ envisagée ici n'est pas viable.

C3. Élaboration du signal modulé $s(t)$ à l'aide d'un modulateur IQ

Pour remédier au problème mis en évidence à la question Q27, nous allons élaborer le signal $s(t)$ à partir d'un modulateur IQ, dont les signaux d'entrée $i(t)$ et $q(t)$ de composantes fréquentielles très inférieures à $s(t)$ pourront être synthétisés numériquement (figure 16).

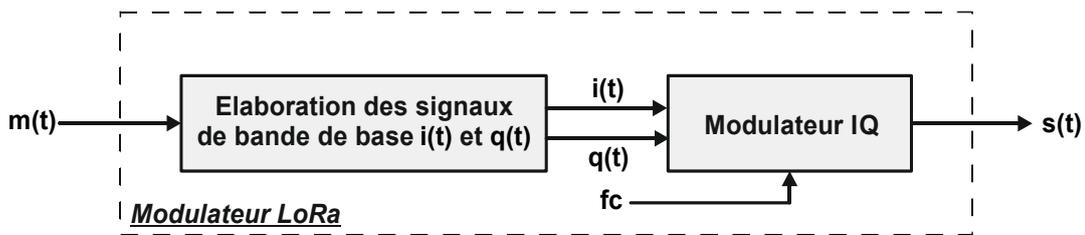


Figure 16

Dès lors, la question qui se pose consiste à déterminer l'expression littérale des signaux de bande de base $i(t)$ et $q(t)$ permettant, en fonction du message $m(t)$ à transmettre, d'élaborer le signal modulé $s(t)$ de caractéristiques temporelles et fréquentielles conformes au standard de modulation LoRa.

Pour déterminer l'expression littérale des signaux $i(t)$ et $q(t)$, nous allons nous appuyer sur les résultats de simulation du logiciel *Pulse Sequencer* (Rohde & Schwarz™) permettant, entre autres, de simuler le comportement d'un modulateur IQ.

Nous avons ainsi configuré ce logiciel de façon qu'il élabore un signal $s(t)$ constitué de chirps de caractéristiques conformes au standard de modulation LoRa, et nous obtenons alors, pour tout symbole n compris entre 0 et $(2^{SF} - 1)$, et en concordance des temps, l'évolution temporelle de la fréquence du signal modulé $s(t)$ ainsi que celle des signaux de bande de base $i(t)$ et $q(t)$.

On propose ainsi en documents annexes DA21 à DA26, six résultats de simulation distincts.

On remarquera, sur chacun de ces documents, que le premier graphe représente l'évolution temporelle de la fréquence du signal modulé $s(t)$ *normalisée par rapport à la fréquence* f_c de l'onde porteuse (l'axe des ordonnées représente donc la fréquence f de $s(t) - f_c$).

On remarquera par ailleurs, que pour chacune des simulations :

- la déviation de fréquence de $s(t) = f_{\max} - f_{\min} = 125$ kHz, d'où $BW = 125$ kHz ;
- la durée de transmission d'un symbole T_s est égale à 2,048 ms, ce qui permet d'en déduire que $SF = \log_2(T_s \cdot BW) = \log_2(2,048 \times 125)$, soit $SF = 8$.

L'observation des documents DA21 à DA24 permet de conclure les points suivants :

- les signaux de bande de base $i(t)$ et $q(t)$ ont en permanence même fréquence ;
- lorsque la fréquence de $s(t)$ augmente linéairement depuis une valeur minimale jusqu'à f_c , la fréquence des signaux de bande de base $i(t)$ et $q(t)$ décroît linéairement jusqu'à atteindre $f = 0$ Hz ;

- inversement, lorsque la fréquence de $s(t)$ augmente linéairement depuis f_c jusqu'à sa valeur maximale $f_c + BW/2$, la fréquence des signaux de bande de base $i(t)$ et $q(t)$ croît linéairement ;
- pendant la durée de transmission d'un symbole, contrairement au signal modulé $s(t)$, les signaux de bande de base $i(t)$ et $q(t)$ ne subissent jamais de discontinuité de fréquence.

Par ailleurs, on constate sur le document DA25, que la valeur minimale de la période des signaux de bande de base $i(t)$ et $q(t)$ obtenue à partir de l'instant $t = 0$ de transmission du symbole $n=0$, est égale à $16 \mu s$, ce qui correspond à une fréquence maximale de valeur $62,5 \text{ kHz}$.

On peut donc en déduire, en généralisant, que la fréquence des signaux de bande de base $i(t)$ et $q(t)$ varie entre $f_{\min} = 0 \text{ Hz}$ et $f_{\max} = BW/2$.

- a) Expression de la fréquence instantanée des signaux $i(t)$ et $q(t)$ lorsque $0 \leq n < 2^{SF-1}$

La figure 17 représente l'évolution temporelle de la fréquence du signal modulé $s(t)$ ainsi que des signaux de bande de base $i(t)$ et $q(t)$ lorsque $0 \leq n < 2^{SF-1}$.

Q28. Exprimer :

- lorsque $0 \leq t < t_x$, la fréquence des signaux $i(t)$ et $q(t)$ en fonction des paramètres BW , SF , n et t ;
- lorsque $t_x \leq t < t_n$, la fréquence des signaux $i(t)$ et $q(t)$ en fonction des paramètres BW , SF et $(t-t_x)$;
- lorsque $t_n \leq t < T_s$, la fréquence des signaux $i(t)$ et $q(t)$ en fonction des paramètres BW , SF et $(t-t_n)$.

- b) Expression de la fréquence instantanée des signaux $i(t)$ et $q(t)$ lorsque $2^{SF-1} \leq n < 2^{SF}$

La figure 18 représente l'évolution temporelle de la fréquence du signal modulé $s(t)$ ainsi que des signaux de bande de base $i(t)$ et $q(t)$ lorsque $2^{SF-1} \leq n < 2^{SF}$.

Q29. Exprimer :

- lorsque $0 \leq t < t_n$, la fréquence des signaux $i(t)$ et $q(t)$ en fonction des paramètres BW , SF , n et t ;
- lorsque $t_n \leq t < t_y$, la fréquence des signaux $i(t)$ et $q(t)$ en fonction des paramètres BW , SF et $(t-t_n)$;
- lorsque $t_y \leq t < T_s$, la fréquence des signaux $i(t)$ et $q(t)$ en fonction des paramètres BW , SF et $(t-t_y)$.

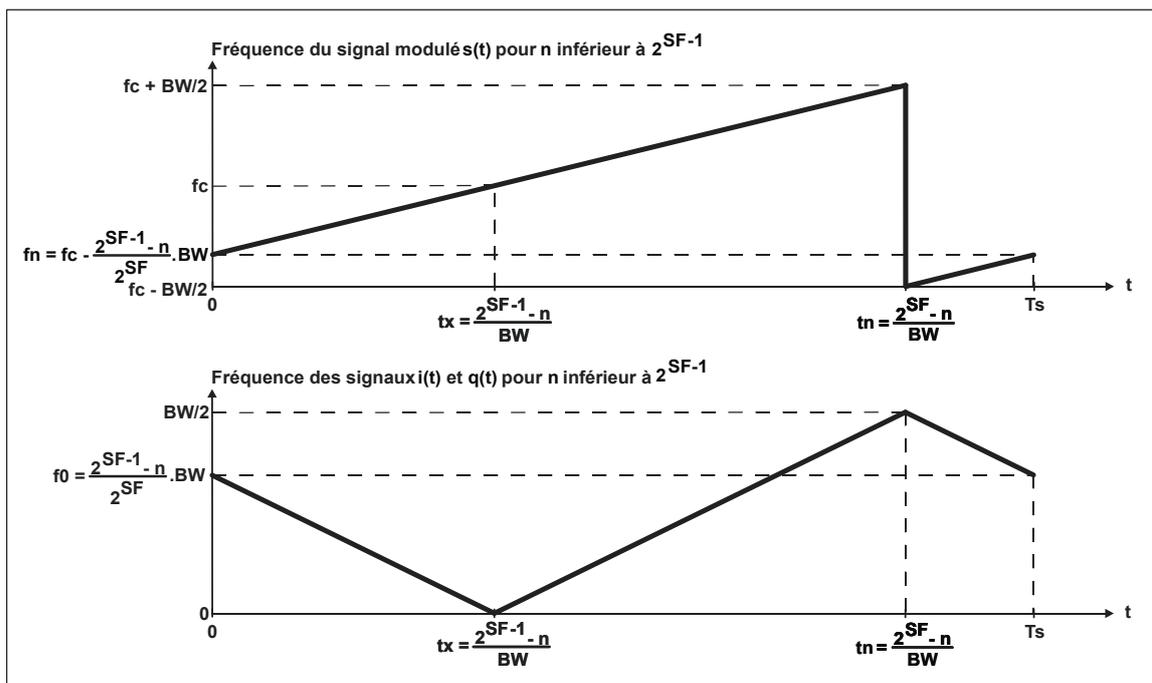


Figure 17

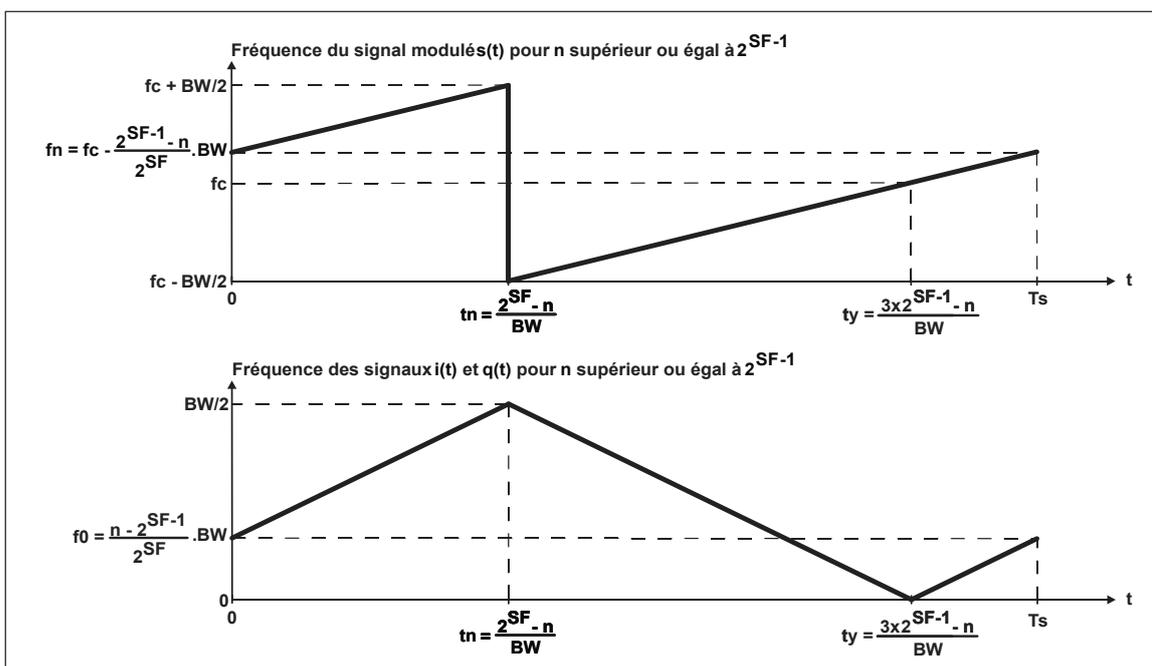


Figure 18

c) Expression de la phase des signaux $i(t)$ et $q(t)$

On constate, d'après les documents DA21 à DA25, et notamment grâce au document DA25, que les signaux de bande de base $i(t)$ et $q(t)$ sont toujours en quadrature.

Plus précisément, on peut remarquer que :

- lorsque la fréquence de $s(t)$ est supérieure à f_c , c'est-à-dire lorsque la fréquence des signaux de bande de base $i(t)$ et $q(t)$ croît linéairement, ces derniers peuvent s'écrire sous la forme $i(t) = \cos\left[2\pi f(t) + \frac{\pi}{2}\right]$ et $q(t) = \cos[2\pi f(t)]$;
- lorsque la fréquence de $s(t)$ est inférieure à f_c , c'est-à-dire lorsque la fréquence des signaux de bande de base $i(t)$ et $q(t)$ décroît linéairement, ces derniers peuvent s'écrire sous la forme $i(t) = \cos\left[2\pi f(t) - \frac{\pi}{2}\right]$ et $q(t) = \cos[2\pi f(t)]$.

d) Synthèse : expressions littérales de $i(t)$ et $q(t)$

On sait, d'après l'équation [1], que l'expression littérale d'un chirp dont la fréquence $f(t)$ évolue linéairement dans le temps est égale à $x(t) = \cos\left[2\pi\left(\frac{a}{2}t + f_n\right)t + \varphi(0)\right]$ où :

- $a = \frac{df}{dt}$ désigne la vitesse de variation de la fréquence du chirp ;
- f_n désigne la valeur de la fréquence du chirp à l'instant $t = 0$;
- $\varphi(0)$ désigne la valeur de la phase du chirp à l'instant $t = 0$.

On peut donc en conclure que :

- lorsque la fréquence de $s(t)$ est supérieure à f_c , c'est-à-dire lorsque la fréquence des signaux de bande de base $i(t)$ et $q(t)$ croît linéairement, ces derniers peuvent s'écrire sous la forme $i(t) = \cos\left[2\pi\left(\frac{a}{2}t + f_n\right)t + \frac{\pi}{2}\right]$ et $q(t) = \cos\left[2\pi\left(\frac{a}{2}t + f_n\right)t\right]$,
- lorsque la fréquence de $s(t)$ est inférieure à f_c , c'est-à-dire lorsque la fréquence des signaux de bande de base $i(t)$ et $q(t)$ décroît linéairement, ces derniers peuvent s'écrire $i(t) = \cos\left[2\pi\left(\frac{a}{2}t + f_n\right)t - \frac{\pi}{2}\right]$ et $q(t) = \cos\left[2\pi\left(\frac{a}{2}t + f_n\right)t\right]$.

C4. Synthèse numérique des signaux de bande de base $i(t)$ et $q(t)$

Nous connaissons désormais, en fonction des valeurs des symboles n à transmettre, les expressions littérales des signaux analogiques de bande de base $i(t)$ et $q(t)$ à élaborer.

Evidemment, nous cherchons à élaborer ces signaux analogiques à l'aide de lois de commande numériques, et proposons, pour le modulateur LoRa, le synoptique de la figure 19.

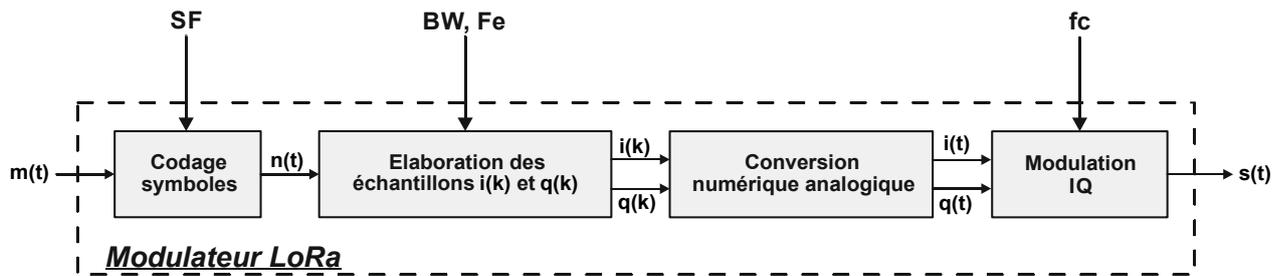


Figure 19

Le codage symboles consiste à « découper » le message $m(t)$ à transmettre en symboles $n(t)$, constitués en paquets de SF bits.

Un calculateur (microcontrôleur) élabore, à partir des symboles $n(t)$, les échantillons $i(k)$ et $q(k)$ qui, après conversion numérique-analogique, donneront naissance aux signaux analogiques de bande de base $i(t)$ et $q(t)$.

Enfin, le modulateur IQ se charge d'élaborer le signal modulé $s(t)$ en fonction des signaux $i(t)$ et $q(t)$ qui lui sont transmis.

Cahier des charges :

Afin de garantir des signaux $i(t)$ et $q(t)$ présentant des taux de distorsion harmonique suffisamment faibles, on s'impose d'élaborer au moins 10 échantillons $i(k)$ ou $q(k)$ par période de $i(t)$ ou de $q(t)$.

La valeur maximale de la fréquence des signaux $i(t)$ et $q(t)$ étant égale à $BW/2$, on choisit par conséquent, pour élaborer les signaux numériques $i(k)$ et $q(k)$, une durée ΔT séparant l'envoi de 2 échantillons $i/q(k)$ et $i/q(k+1)$ successifs égale à $\frac{1}{10 \cdot \frac{BW}{2}}$, soit $\Delta T = \frac{1}{5 \cdot BW}$.

Il suffit donc, pour passer du modèle analogique $i(t)/q(t)$ au modèle numérique $i(k)/q(k)$, de remplacer t par $k \cdot \Delta T = \frac{k}{5 \cdot BW}$.

Q30. Exprimer en fonction de SF et n, les valeurs de k que l'on notera k_x , k_y , k_n et k_s , correspondant respectivement aux instants t_x , t_y , t_n et T_s .

On précise que le dispositif de conversion numérique-analogique bipolaire présente une résolution de r bits (2^r nombres d'entrée possibles).

Q31. Elaborer, en fonction de SF, n, r et k, et lorsque $0 \leq n < 2^{SF-1}$, les lois de commande $i(k)$ et $q(k)$ (ces lois seront exprimées à l'aide de la fonction cosinus exclusivement).

Q32. Même question lorsque $2^{SF-1} \leq n < 2^{SF}$.

D. Modélisation du procédé de démodulation LoRa

Objectif : proposer un modèle permettant de synthétiser un démodulateur LoRa

Comme l'indiquent les figures 2 et 5, la transmission radio LoRa s'effectue de façon bidirectionnelle entre un « objet » (une carte End Device de façon générale et pour ce qui concerne cette application, le « Bob Assistant ») et la passerelle.

Nous allons donc proposer dans cette partie, un modèle permettant d'effectuer la démodulation de signaux radio LoRa.

Remarque : dans ce qui suit, nous considérerons que les symboles transmis sont exprimés sur 8 bits exclusivement. Toutefois, le modèle proposé restera valide pour toute valeur de SF.

Le synoptique des dispositifs de modulation et de démodulation sont proposés en figure 20.

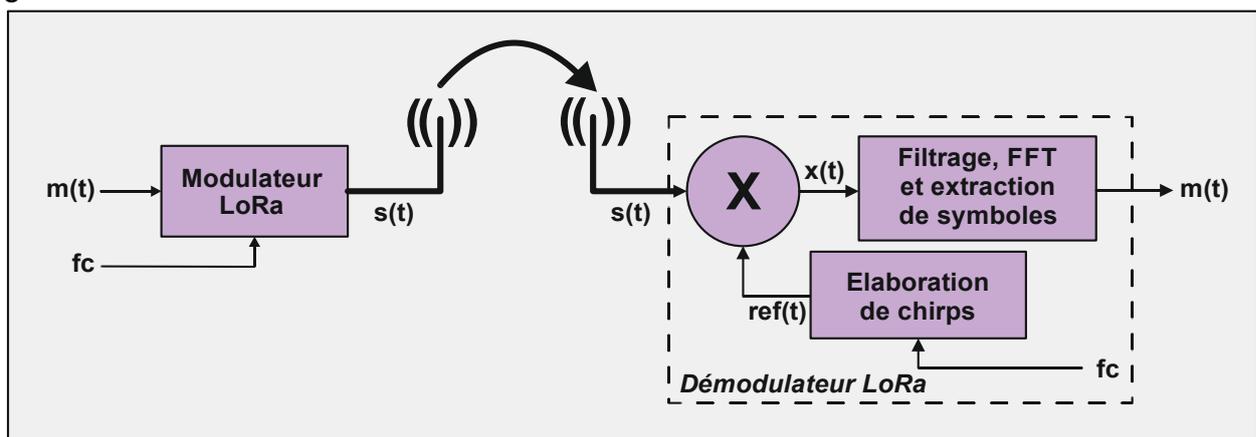


Figure 20

L'objectif consiste à faire en sorte que le démodulateur récupère le même message numérique $m(t)$ que celui transmis par le modulateur.

On donne en figure 21, l'allure de l'évolution temporelle de la fréquence de $s(t)$ ainsi que celle de la fréquence du signal de référence $ref(t)$, définies sur une période symbole T_s .

Le signal de référence $ref(t)$ est identique à ce que serait le signal $s(t)$ transmis par le modulateur correspondant au message $m(t)$ constitué d'une suite infinie de symboles $n=0$.

On remarque, sur la figure 21, que les signaux $s(t)$ et $ref(t)$:

- sont synchronisés (la fréquence du signal de référence $ref(t)$ à chaque instant kT_s où le démodulateur reçoit un nouveau symbole, est égale à $f_c - BW/2$) ;
- présentent des valeurs de f_c et BW identiques.

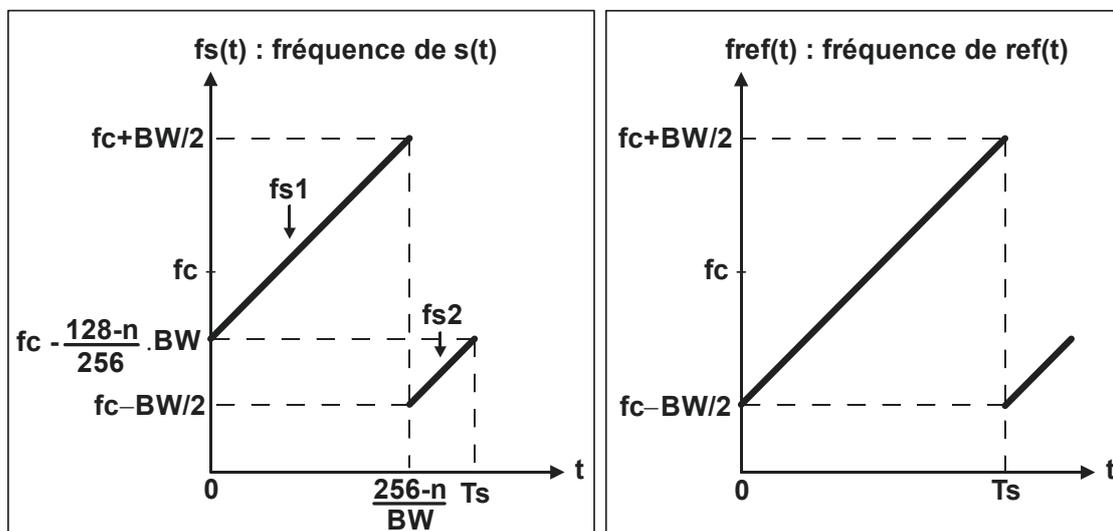


Figure 21

Pour les besoins de la démonstration, nous décomposons la fonction représentative de l'évolution temporelle de la fréquence de $s(t)$ en deux fonctions affines :

- $fs1(t)$, définie pour $0 \leq t < \frac{256-n}{BW}$;
- $fs2(t)$, définie pour $\frac{256-n}{BW} \leq t < T_s$.

Q33. Exprimer $fs1(t)$, $fs2(t)$ en fonction de BW , f_c et n et $fref(t)$ en fonction de f_c et BW .

Le signal $x(t)$ (figure 20) correspond au produit de $s(t)$ par $ref(t)$, soit $x(t) = s(t) \cdot ref(t)$.

Q34. Sachant que $s(t) = E \cos 2\pi[fs(t)] \cdot t$ et que $ref(t) = E \cos 2\pi[fref(t)] \cdot t$, exprimer $x(t)$ en fonction de E , $fs(t)$ et $fref(t)$.

Q35. Montrer que, lorsque $0 \leq t < \frac{256-n}{BW}$, $x(t)$ est constitué de la somme d'un signal sinusoïdal dont on déterminera la fréquence f_x , et d'un chirp centré de part et d'autre de la fréquence $2f_c$.

Q36. Montrer que, lorsque $\frac{256-n}{BW} \leq t < T_s$, $x(t)$ est constitué de la somme d'un signal sinusoïdal dont on exprimera la fréquence f_y , et d'un chirp centré de part et d'autre de la fréquence $2f_c$.

Q37. Expliquer alors en quoi, selon le synoptique de la figure 20, une opération de filtrage (en précisant le type de filtre ainsi que sa fréquence de coupure) suivie d'une FFT et d'une opération d'extraction de symboles dont on expliquera le principe, permettent de procéder à la démodulation du signal radio LoRa et donc à la récupération du message $m(t)$.

Q38. Donner les expressions littérales de $n = f(f_x)$ et de $n = f(f_y)$, et calculer les valeurs de f_x et de f_y correspondant à $n = 100$ lorsque $BW = 125$ kHz.

E. Transmission du rapport de fonctionnement par voie radio

Objectif : Etudier, après avoir modélisé le fonctionnement d'un modulateur et d'un démodulateur radio LoRa, la solution technologique mise en œuvre dans le cadre du « Bob Assistant », assurant toutes les 3 heures, la transmission par voie radio du rapport de fonctionnement au serveur de réseau.

Documents annexe concernés :

- **DA27** et **DA28** (documentation du module RF-LORA-868-SO) ;
- **DA29** à **DA36** (documentation du transceiver SX1272) ;
- **DA37** (documentation de l'antenne 0868AT43A0020).

E1. Présentation de la solution technologique mise en œuvre

Comme l'indique le schéma structurel (document DA1), le dispositif permettant de transmettre le rapport de fonctionnement par voie radio est réalisé par le module RF-LORA-868-SO.

On donne en figure 22 le synoptique ainsi qu'une photographie de ce module.

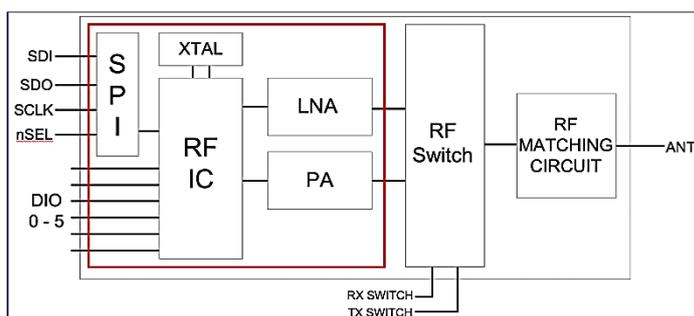


Figure 22



Ce module est équipé d'un quartz (XTAL) et d'un circuit intégré spécifique entourés ici en rouge.

La transmission étant bidirectionnelle, nous avons symbolisé sur ce synoptique, le sens de transit des informations entre l'antenne (connectée sur la broche ANT) et le module (figure 23).

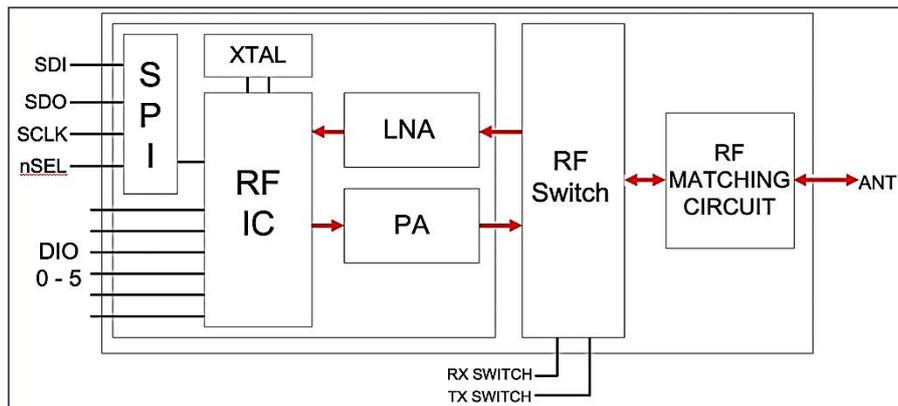


Figure 23

Le circuit intégré entouré en rouge, sur la figure 22, constitue le cœur du module RF-LORA-868-SO ; il s'agit du transceiver SX1272 dont la fonction consiste à faire l'interface bidirectionnelle entre le μ C et l'antenne, c'est-à-dire entre les signaux de bande de base, d'une part, et les signaux de bande transposée d'autre part. Ce composant intègre donc en son sein, les fonctions de modulation et de démodulation LoRa modélisées précédemment, et constitue donc un modem radio LoRa.

E2. Étude de l'étage radiofréquences

La documentation constructeur du transceiver SX1272 (DA29) précise que ce composant est capable d'effectuer la modulation/démodulation de signaux RF de type FSK, GFSK, MSK, GMSK, OOK et bien sûr, LoRa.

Q39. Préciser, pour les 5 premiers procédés de modulation RF cités :

- la dénomination anglo-saxonne associée aux abréviations ;
- le type de modulation (à déplacement d'amplitude, de fréquence ou de phase).

Indiquer brièvement ce qui différencie les 4 premiers d'entre eux.

On ne s'intéresse dans ce qui suit qu'au procédé de modulation/démodulation LoRa.

En radiofréquences, on peut exprimer la puissance d'un signal radio en Watts ou en dBm.

La référence 0 dBm correspond à une puissance P de 1 mW.

Par conséquent, la relation entre la puissance P en mW d'un signal et son niveau de puissance x en dBm est donnée par :

$$x = 10 \log \frac{P}{1 \text{ mW}} \quad \text{ou} \quad P = 1 \text{ mW} \cdot 10^{\frac{x}{10}} \quad \text{avec } x \text{ en dBm et } P \text{ en mW}$$

a) Le niveau de puissance en émission

On précise que sur le module RF, la sortie du transceiver PA_BOOST (DA29 et DA30) est laissée en l'air, et que c'est donc la sortie RFO qui est mise en œuvre.

Q40. *Indiquer, en phase d'émission, la plage de variation du niveau de puissance de sortie disponible sur la sortie RFO.*

Préciser la référence du registre permettant de sélectionner la sortie RFO, et en déduire le pas de variation du niveau de puissance de sortie.

Indiquer en binaire, le contenu de ce registre si l'on souhaite régler le niveau de puissance de sortie à +10 dBm (on notera d'ailleurs, à propos de ce registre, qu'une erreur s'est glissée dans la documentation).

b) Le niveau de puissance en réception

Q41. *Indiquer le niveau de puissance maximal admissible au niveau de la broche d'entrée RFI lorsque le module est en mode réception.*

On définit, pour un récepteur radio, la notion de sensibilité permettant de caractériser sa capacité à démoduler des signaux radio de faible puissance avec un taux d'erreur inférieur à une valeur maximale admissible.

Le constructeur du transceiver précise (document DA29) que le composant présente la caractéristique « High sensitivity: down to -137 dBm ». Il présente donc une sensibilité *pouvant descendre jusqu'à -137 dBm*, mais il ne s'agit en aucune façon d'une valeur maximale garantie.

Q42. *Préciser l'incidence de la valeur de SF sur la sensibilité du transceiver (DA34).*

Q43. *Donner la définition de l'abréviation RSSI et indiquer la référence du registre (DA35) permettant d'en connaître la valeur. Préciser le pas de variation de cette grandeur.*

Préciser en binaire, le contenu de ce registre lors de la transmission du rapport de fonctionnement correspondant à la figure 4.

c) Le réglage de la fréquence porteuse f_c

Q44. *Indiquer la référence des 3 registres permettant de fixer la fréquence f_c de la porteuse, et indiquer leurs valeurs, en décimal et en hexadécimal, sachant que la fréquence de l'oscillateur $F(XOSC)$ est de 32 MHz, si l'on souhaite obtenir une fréquence porteuse f_c égale à 868,1 MHz.*

d) Le bilan de liaison d'une transmission par voie hertzienne

Le calcul du bilan de liaison (*link budget* en anglais) permet, dans un système de transmission par voie hertzienne, de s'assurer que le niveau de puissance du signal reçu par le récepteur est suffisant pour que la démodulation s'effectue sans erreurs, c'est-à-dire de vérifier qu'il est supérieur à la sensibilité du récepteur.

On considère en figure 24 un dispositif de transmission par voie hertzienne unidirectionnel.

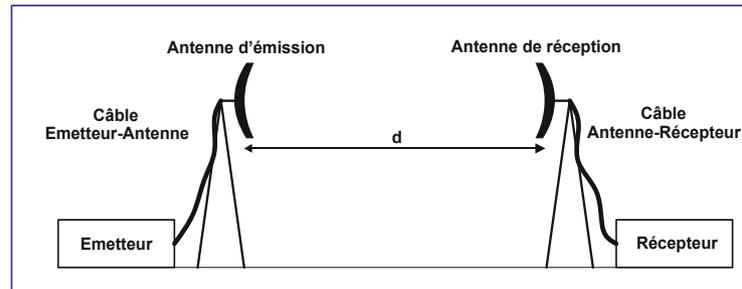


Figure 24

L'équation des télécommunications, ou équation de Friis permet d'exprimer la puissance P_R du signal collecté au niveau du récepteur, en fonction de la puissance P_E du signal émis par l'émetteur et des différents éléments susceptibles d'amplifier ou d'atténuer le signal entre le récepteur et l'émetteur.

Cette équation, sous sa forme logarithmique et simplifiée, est la suivante :

$$P_R = G_{AR} + G_R + G_{EL} + G_E + G_{EA} + P_E, \text{ avec :}$$

- P_E : niveau de puissance du signal émis par l'émetteur, en dBm ;
- G_{EA} : gain de la liaison entre l'émetteur et l'antenne d'émission, en dB ;
- G_E : gain de l'antenne d'émission, en dBi ;
- G_{EL} : gain de la liaison en Espace Libre entre les deux antennes, en dB ;
- G_R : gain de l'antenne de réception, en dBi ;
- G_{AR} : gain de la liaison entre l'antenne de réception et le récepteur, en dB ;
- P_R : niveau de puissance du signal reçu par le récepteur, en dBm.

Les gains de liaison G_{EA} et G_{AR} sont liés aux câbles et connecteurs positionnés entre l'émetteur (ou le récepteur) et l'antenne d'émission (ou de réception). Ces gains sont négatifs car ces différents éléments agissent comme des atténuateurs.

Les termes G_E et G_R correspondent aux gains des antennes (exprimés en dBi), qui sont positifs pour des antennes actives et négatifs pour des antennes passives.

On montre que $G_{EL} = 20 \log \frac{\lambda}{4\pi d}$, avec λ : longueur d'onde de la porteuse f_c en m,
 d : distance entre les deux antennes en m.

Le constructeur du transceiver annonce un bilan de liaison de 157 dB max (document DA29) lors de la mise en œuvre de la sortie PA_BOOST.

Q45. *Justifier cette valeur et modifier cette dernière prenant en compte le fait que dans cette application, ce n'est pas la sortie PA_BOOST qui est mise en œuvre, mais la sortie RFO.*

On se propose de calculer la distance d maximale entre le « Bob Assistant » et la passerelle permettant de garantir une transmission du rapport de fonctionnement sans faille. Pour cela, et afin de se ménager une marge de sécurité, on s'impose un niveau de puissance P_R reçue au niveau du transceiver de la passerelle, supérieur ou égal à -106 dBm.

Q46. *Calculer la valeur maximale garantie de la portée (distance d) de la liaison LoRa dans ces conditions, et conclure quant à l'intérêt majeur d'une transmission radio LoRa par rapport à une transmission radio usuelle de type Bluetooth, WiFi ou Zigbee.*

E3. La capacité du transceiver SX1272 à émettre/recevoir des signaux RF modulés selon le standard radio LoRa

Q47. *Préciser la référence des registres ainsi que leur contenu (pour ce qui concerne les bits concernés) permettant de configurer les paramètres de modulation $f_c = 868,1$ MHz, $BW = 125$ kHz et $SF = 10$.*

E4. La capacité du transceiver SX1272 à intégrer un réseau de communications LoRaWAN

Le standard radio LoRa correspond à la liaison et à la couche physique (couche 1) du modèle OSI associé à la communication entre le « Bob Assistant » et la passerelle. Le consortium chargé de définir le standard de communication LoRa (*LoRa alliance*) a prévu, pour les couches supérieures, le protocole LoRaWAN permettant d'intégrer les données transmises par voie radio sur un réseau WAN (typiquement, le cloud).

Afin de rendre la transmission plus robuste, le protocole LoRaWAN prévoit d'introduire au message utile à transmettre, des bits redondants qui, en réception, permettront de détecter et de corriger automatiquement des erreurs de transmission.

On définit alors la grandeur CR (Coding Rate) correspondant à la proportion de bits utiles (le message) par rapport à la totalité des bits transmis (le message + les bits redondants).

Ainsi, une transmission présentant un CR égal à $4/7$ est caractérisée par le fait que 3 bits redondants sont ajoutés tous les 4 bits de message utile à transmettre.

On note, pour une transmission sans Coding Rate :

- R_b le débit binaire (en bits/s) de la transmission ;
- R_s (en Bd) la vitesse de modulation (ou rapidité de modulation) correspondant au nombre de symboles transmis par seconde.

On note, pour une transmission incluant la grandeur Coding Rate :

- R_{bu} le débit binaire utile ;
- R_{su} la vitesse de modulation utile.

Q48. Exprimer R_b et R_s en fonction de SF et BW , puis R_{bu} et R_{su} en fonction de SF , BW et CR , et compléter le document réponse DR2.

Q49. Interpréter, à partir des réponses apportées aux questions posées dans ce sujet et à titre de synthèse, le graphique de la figure 25 permettant de mettre en évidence l'interaction entre les différentes caractéristiques de la technologie LoRaWAN.

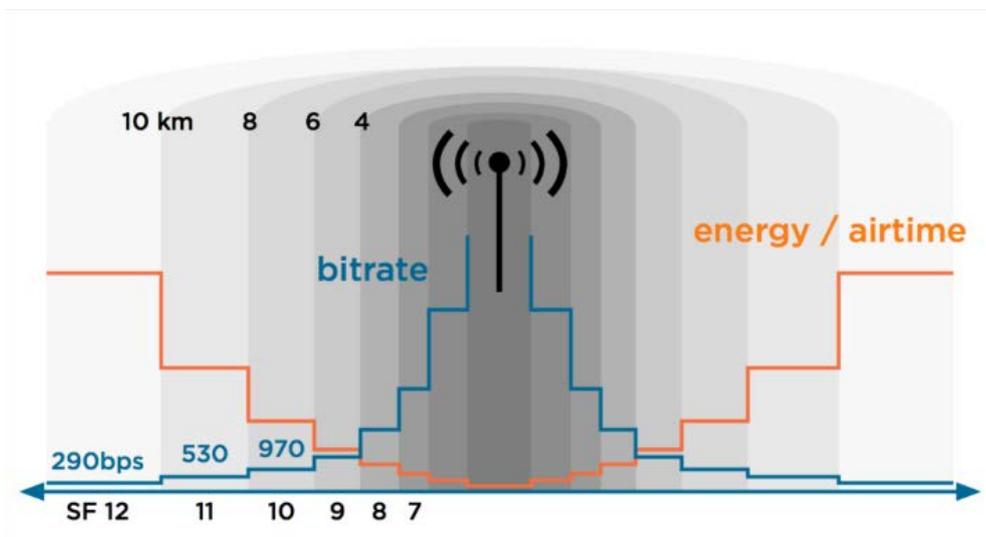


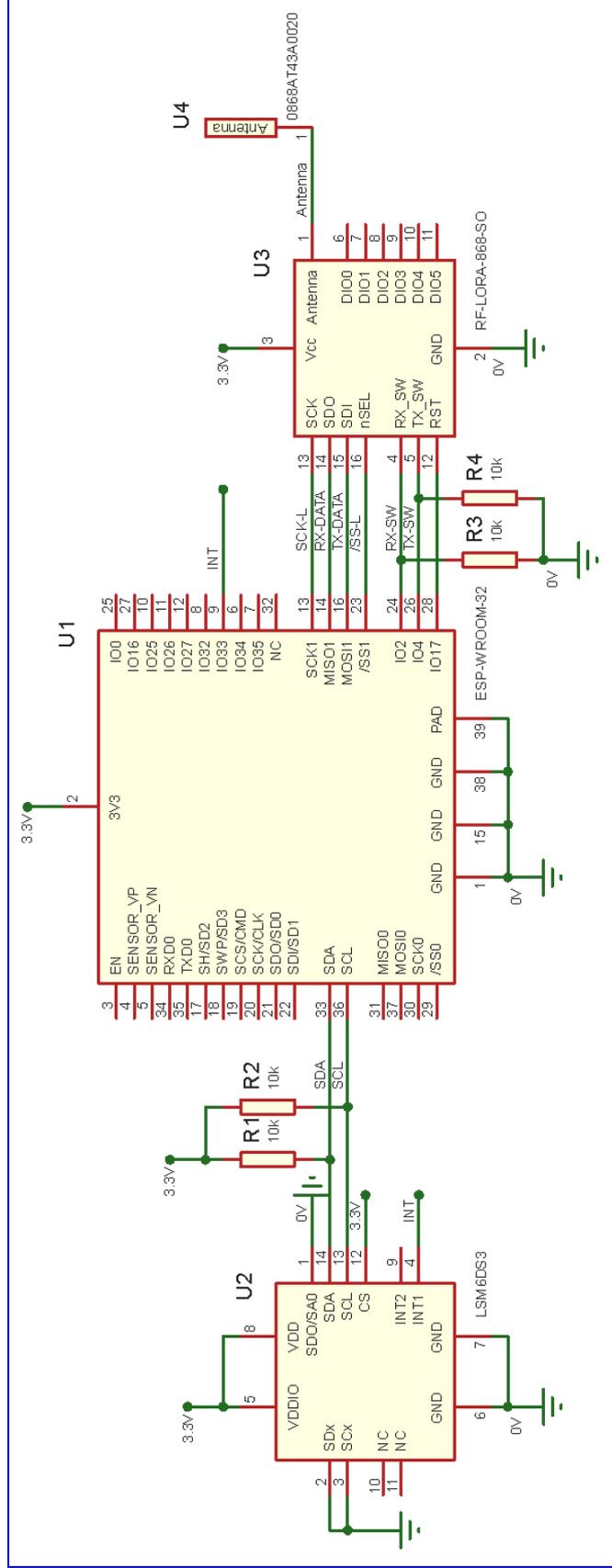
Figure 25

Q50. Les technologies associées à l'Internet des Objets (LoRa, Sigfox et Nb-IoT pour citer les plus significatives) connaissent actuellement un essor considérable. Pensez-vous, en justifiant votre réponse, qu'il en sera encore de même avec le déploiement imminent de la technologie 5G ?

Documents annexes

- **DA1** : Schéma structurel partiel du « Bob assistant »
- **DA2** à **DA19** : Documentation constructeur du composant LSM6DS3
- **DA20** (1 sur et 2 sur 2) : Code du programme de test
- **DA21** à **DA26** : Résultats de simulation du modulateur IQ
- **DA27** et **DA28** : Documentation du module RF-LORA-868-S0
- **DA29** à **DA36** : Documentation du transceiver SX1272
- **DA37** : Documentation de l'antenne 0868AT43A0020

Document annexe DA1 : schéma structurel partiel du Bob Assistant

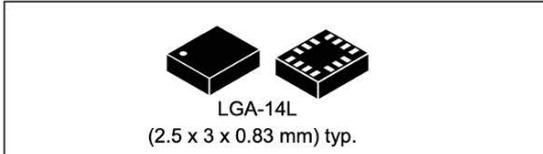




LSM6DS3

iNEMO inertial module: always-on 3D accelerometer and 3D gyroscope

Datasheet - production data



Features

- Power consumption: 0.9 mA in combo normal mode and 1.25 mA in combo high-performance mode up to 1.6 kHz.
- “Always-on” experience with low power consumption for both accelerometer and gyroscope
- Smart FIFO up to 8 kbyte based on features set
- Compliant with Android K and L
- Hard, soft ironing for external magnetic sensor corrections
- $\pm 2/\pm 4/\pm 8/\pm 16$ g full scale
- $\pm 125/\pm 250/\pm 500/\pm 1000/\pm 2000$ dps full scale
- Analog supply voltage: 1.71 V to 3.6 V
- Independent IOs supply (1.62 V)
- Compact footprint, 2.5 mm x 3 mm x 0.83 mm
- SPI/I²C serial interface with main processor data synchronization feature
- Embedded temperature sensor
- ECOPACK[®], RoHS and “Green” compliant

Applications

- Pedometer, step detector and step counter
- Significant motion and tilt functions
- Indoor navigation
- Tap and double-tap detection
- IoT and connected devices
- Intelligent power saving for handheld devices
- Vibration monitoring and compensation
- Free-fall detection
- 6D orientation detection

Description

The LSM6DS3 is a system-in-package featuring a 3D digital accelerometer and a 3D digital gyroscope performing at 1.25 mA (up to 1.6 kHz ODR) in high-performance mode and enabling always-on low-power features for an optimal motion experience for the consumer.

The LSM6DS3 supports main OS requirements, offering real, virtual and batch sensors with 8 kbyte for dynamic data batching.

ST’s family of MEMS sensor modules leverages the robust and mature manufacturing processes already used for the production of micromachined accelerometers and gyroscopes.

The various sensing elements are manufactured using specialized micromachining processes, while the IC interfaces are developed using CMOS technology that allows the design of a dedicated circuit which is trimmed to better match the characteristics of the sensing element.

The LSM6DS3 has a full-scale acceleration range of $\pm 2/\pm 4/\pm 8/\pm 16$ g and an angular rate range of $\pm 125/\pm 250/\pm 500/\pm 1000/\pm 2000$ dps.

High robustness to mechanical shock makes the LSM6DS3 the preferred choice of system designers for the creation and manufacturing of reliable products.

The LSM6DS3 is available in a plastic land grid array (LGA) package.

Table 1. Device summary

Part number	Temperature range [°C]	Package	Packing
LSM6DS3	-40 to +85	LGA-14L (2.5 x 3 x 0.83 mm)	Tray
LSM6DS3TR	-40 to +85		Tape & Reel

4.3 Temperature sensor characteristics

@ Vdd = 1.8 V, T = 25 °C unless otherwise noted.

Table 5. Temperature sensor characteristics

Symbol	Parameter	Test condition	Min.	Typ. ⁽¹⁾	Max.	Unit
TODR	Temperature refresh rate			52		Hz
Toff	Temperature offset ⁽²⁾		-15		+15	°C
TSen	Temperature sensitivity			16		LSB/°C
TST	Temperature stabilization time ⁽³⁾				500	µs
T_ADC_res	Temperature ADC resolution			12		bit
Top	Operating temperature range		-40		+85	°C

1. Typical specifications are not guaranteed.
2. The output of the temperature sensor is 0 LSB (typ.) at 25 °C.
3. Time from power ON bit to valid data based on characterization data.

The temperature data is given by the concatenation of the OUT_TEMP_H and OUT_TEMP_L registers and it is represented as a number of 16 bits in two's complement format, with a sensitivity of +16 LSB/°C. The output zero level corresponds to 25 °C.

6 Digital interfaces

The registers embedded inside the LSM6DS3 may be accessed through both the I²C and SPI serial interfaces. The latter may be SW configured to operate either in 3-wire or 4-wire interface mode. The device is compatible with SPI modes 0 and 3.

The serial interfaces are mapped onto the same pins. To select/exploit the I²C interface, the CS line must be tied high (i.e connected to Vdd_IO).

Table 9. Serial interface pin description

Pin name	Pin description
CS	SPI enable I ² C/SPI mode selection (1: SPI idle mode / I ² C communication enabled; 0: SPI communication mode / I ² C disabled)
SCL/SPC	I ² C Serial Clock (SCL) SPI Serial Port Clock (SPC)
SDA/SDI/SDO	I ² C Serial Data (SDA) SPI Serial Data Input (SDI) 3-wire Interface Serial Data Output (SDO)
SDO/SA0	SPI Serial Data Output (SDO) I ² C less significant bit of the device address

6.1 I²C serial interface

The LSM6DS3 I²C is a bus slave. The I²C is employed to write the data to the registers, whose content can also be read back.

The relevant I²C terminology is provided in the table below.

Table 10. I²C terminology

Term	Description
Transmitter	The device which sends data to the bus
Receiver	The device which receives data from the bus
Master	The device which initiates a transfer, generates clock signals and terminates a transfer
Slave	The device addressed by the master

There are two signals associated with the I²C bus: the serial clock line (SCL) and the Serial DATA line (SDA). The latter is a bidirectional line used for sending and receiving the data to/from the interface. Both the lines must be connected to Vdd_IO through external pull-up resistors. When the bus is free, both the lines are high.

The I²C interface is implemented with fast mode (400 kHz) I²C standards as well as with the standard mode.

In order to disable the I²C block, (I2C_disable) = 1 must be written in CTRL4_C (13h).

LSM6DS3	Digital interfaces																									
6.1.1	I²C operation																									
<p>The transaction on the bus is started through a START (ST) signal. A START condition is defined as a HIGH to LOW transition on the data line while the SCL line is held HIGH. After this has been transmitted by the master, the bus is considered busy. The next byte of data transmitted after the start condition contains the address of the slave in the first 7 bits and the eighth bit tells whether the master is receiving data from the slave or transmitting data to the slave. When an address is sent, each device in the system compares the first seven bits after a start condition with its address. If they match, the device considers itself addressed by the master.</p> <p>The Slave ADDRESS (SAD) associated to the LSM6DS3 is 110101xb. The SDO/SA0 pin can be used to modify the less significant bit of the device address. If the SDO/SA0 pin is connected to the supply voltage, LSb is '1' (address 1101011b); else if the SDO/SA0 pin is connected to ground, the LSb value is '0' (address 1101010b). This solution permits to connect and address two different inertial modules to the same I²C bus.</p> <p>Data transfer with acknowledge is mandatory. The transmitter must release the SDA line during the acknowledge pulse. The receiver must then pull the data line LOW so that it remains stable low during the HIGH period of the acknowledge clock pulse. A receiver which has been addressed is obliged to generate an acknowledge after each byte of data received.</p> <p>The I²C embedded inside the LSM6DS3 behaves like a slave device and the following protocol must be adhered to. After the start condition (ST) a slave address is sent, once a slave acknowledge (SAK) has been returned, an 8-bit sub-address (SUB) is transmitted. The increment of the address is configured by the <i>CTRL3_C (12h) (IF_INC)</i>.</p> <p>The slave address is completed with a Read/Write bit. If the bit is '1' (Read), a repeated START (SR) condition must be issued after the two sub-address bytes; if the bit is '0' (Write) the master will transmit to the slave with direction unchanged. <i>Table 11</i> explains how the SAD+Read/Write bit pattern is composed, listing all the possible configurations.</p>																										
Table 11. SAD+Read/Write patterns																										
<table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th>Command</th> <th>SAD[6:1]</th> <th>SAD[0] = SA0</th> <th>R/W</th> <th>SAD+R/W</th> </tr> </thead> <tbody> <tr> <td>Read</td> <td>110101</td> <td>0</td> <td>1</td> <td>11010101 (D5h)</td> </tr> <tr> <td>Write</td> <td>110101</td> <td>0</td> <td>0</td> <td>11010100 (D4h)</td> </tr> <tr> <td>Read</td> <td>110101</td> <td>1</td> <td>1</td> <td>11010111 (D7h)</td> </tr> <tr> <td>Write</td> <td>110101</td> <td>1</td> <td>0</td> <td>11010110 (D6h)</td> </tr> </tbody> </table>		Command	SAD[6:1]	SAD[0] = SA0	R/W	SAD+R/W	Read	110101	0	1	11010101 (D5h)	Write	110101	0	0	11010100 (D4h)	Read	110101	1	1	11010111 (D7h)	Write	110101	1	0	11010110 (D6h)
Command	SAD[6:1]	SAD[0] = SA0	R/W	SAD+R/W																						
Read	110101	0	1	11010101 (D5h)																						
Write	110101	0	0	11010100 (D4h)																						
Read	110101	1	1	11010111 (D7h)																						
Write	110101	1	0	11010110 (D6h)																						
Table 12. Transfer when master is writing one byte to slave																										
<table border="1" style="width: 100%; border-collapse: collapse;"> <tbody> <tr> <td>Master</td> <td>ST</td> <td>SAD + W</td> <td></td> <td>SUB</td> <td></td> <td>DATA</td> <td></td> <td>SP</td> </tr> <tr> <td>Slave</td> <td></td> <td></td> <td>SAK</td> <td></td> <td>SAK</td> <td></td> <td>SAK</td> <td></td> </tr> </tbody> </table>		Master	ST	SAD + W		SUB		DATA		SP	Slave			SAK		SAK		SAK								
Master	ST	SAD + W		SUB		DATA		SP																		
Slave			SAK		SAK		SAK																			
Table 13. Transfer when master is writing multiple bytes to slave																										
<table border="1" style="width: 100%; border-collapse: collapse;"> <tbody> <tr> <td>Master</td> <td>ST</td> <td>SAD + W</td> <td></td> <td>SUB</td> <td></td> <td>DATA</td> <td></td> <td>DATA</td> <td></td> <td>SP</td> </tr> <tr> <td>Slave</td> <td></td> <td></td> <td>SAK</td> <td></td> <td>SAK</td> <td></td> <td>SAK</td> <td></td> <td>SAK</td> <td></td> </tr> </tbody> </table>		Master	ST	SAD + W		SUB		DATA		DATA		SP	Slave			SAK		SAK		SAK		SAK				
Master	ST	SAD + W		SUB		DATA		DATA		SP																
Slave			SAK		SAK		SAK		SAK																	

Document annexe DA6

Digital interfaces											LSM6DS3				
Table 14. Transfer when master is receiving (reading) one byte of data from slave															
Master	ST	SAD + W		SUB		SR	SAD + R			NMAK	SP				
Slave			SAK		SAK			SAK	DATA						
Table 15. Transfer when master is receiving (reading) multiple bytes of data from slave															
Master	ST	SAD+W		SUB		SR	SAD+R			MAK		MAK		NMAK	SP
Slave			SAK		SAK			SAK	DATA		DATA		DATA		
<p>Data are transmitted in byte format (DATA). Each data transfer contains 8 bits. The number of bytes transferred per transfer is unlimited. Data is transferred with the Most Significant bit (MSb) first. If a receiver can't receive another complete byte of data until it has performed some other function, it can hold the clock line, SCL LOW to force the transmitter into a wait state. Data transfer only continues when the receiver is ready for another byte and releases the data line. If a slave receiver doesn't acknowledge the slave address (i.e. it is not able to receive because it is performing some real-time function) the data line must be left HIGH by the slave. The master can then abort the transfer. A LOW to HIGH transition on the SDA line while the SCL line is HIGH is defined as a STOP condition. Each data transfer must be terminated by the generation of a STOP (SP) condition.</p> <p>In the presented communication format MAK is Master acknowledge and NMAK is No Master Acknowledge.</p>															

8 Register mapping

The table given below provides a list of the 8/16 bit registers embedded in the device and the corresponding addresses.

Table 16. Registers address map

Name	Type	Register address		Default	Comment
		Hex	Binary		
RESERVED	-	00	00000000	-	Reserved
FUNC_CFG_ACCESS	r/w	01	00000001	00000000	Embedded functions configuration register
RESERVED	-	02	00000010	-	Reserved
RESERVED	-	03	00000011	-	Reserved
SENSOR_SYNC_TIME_FRAME	r/w	04	00000100	00000000	Sensor sync configuration register
RESERVED	-	05	00000101	-	Reserved
FIFO_CTRL1	r/w	06	00000110	00000000	FIFO configuration registers
FIFO_CTRL2	r/w	07	00000111	00000000	
FIFO_CTRL3	r/w	08	00001000	00000000	
FIFO_CTRL4	r/w	09	00001001	00000000	
FIFO_CTRL5	r/w	0A	00001010	00000000	
ORIENT_CFG_G	r/w	0B	00001011	00000000	
RESERVED	-	0C	00001100	-	Reserved
INT1_CTRL	r/w	0D	00001101	00000000	INT1 pin control
INT2_CTRL	r/w	0E	00001110	00000000	INT2 pin control
WHO_AM_I	r	0F	00001111	01101001	Who I am ID
CTRL1_XL	r/w	10	00010000	00000000	Accelerometer and gyroscope control registers
CTRL2_G	r/w	11	00010001	00000000	
CTRL3_C	r/w	12	00010010	00000100	
CTRL4_C	r/w	13	00010011	00000000	
CTRL5_C	r/w	14	00010100	00000000	
CTRL6_C	r/w	15	00010101	00000000	
CTRL7_G	r/w	16	00010110	00000000	
CTRL8_XL	r/w	17	0001 0111	00000000	
CTRL9_XL	r/w	18	00011000	00111000	
CTRL10_C	r/w	19	00011001	00111000	

Register mapping					LSM6DS3
Table 16. Registers address map (continued)					
Name	Type	Register address		Default	Comment
		Hex	Binary		
MASTER_CONFIG	r/w	1A	00011010	00000000	I ² C master configuration register
WAKE_UP_SRC	r	1B	00011011	output	Interrupts registers
TAP_SRC	r	1C	00011100	output	
D6D_SRC	r	1D	00011101	output	
STATUS_REG	r	1E	00011110	output	Status data register
RESERVED	-	1F	00011111	-	Reserved
OUT_TEMP_L	r	20	00100000	output	Temperature output data register
OUT_TEMP_H	r	21	00100001	output	
OUTX_L_G	r	22	00100010	output	Gyroscope output register
OUTX_H_G	r	23	00100011	output	
OUTY_L_G	r	24	00100100	output	
OUTY_H_G	r	25	00100101	output	
OUTZ_L_G	r	26	00100110	output	
OUTZ_H_G	r	27	00100111	output	
OUTX_L_XL	r	28	00101000	output	Accelerometer output register
OUTX_H_XL	r	29	00101001	output	
OUTY_L_XL	r	2A	00101010	output	
OUTY_H_XL	r	2B	00101011	output	
OUTZ_L_XL	r	2C	00101100	output	
OUTZ_H_XL	r	2D	00101101	output	

LSM6DS3		Register mapping			
Table 16. Registers address map (continued)					
Name	Type	Register address		Default	Comment
		Hex	Binary		
SENSORHUB1_REG	r	2E	00101110	output	Sensor hub output registers
SENSORHUB2_REG	r	2F	00101111	output	
SENSORHUB3_REG	r	30	00110000	output	
SENSORHUB4_REG	r	31	00110001	output	
SENSORHUB5_REG	r	32	00110010	output	
SENSORHUB6_REG	r	33	00110011	output	
SENSORHUB7_REG	r	34	00110100	output	
SENSORHUB8_REG	r	35	00110101	output	
SENSORHUB9_REG	r	36	00110110	output	
SENSORHUB10_REG	r	37	00110111	output	
SENSORHUB11_REG	r	38	00111000	output	
SENSORHUB12_REG	r	39	00111001	output	
FIFO_STATUS1	r	3A	00111010	output	FIFO status registers
FIFO_STATUS2	r	3B	00111011	output	
FIFO_STATUS3	r	3C	00111100	output	
FIFO_STATUS4	r	3D	00111101	output	
FIFO_DATA_OUT_L	r	3E	00111110	output	FIFO data output registers
FIFO_DATA_OUT_H	r	3F	00111111	output	
TIMESTAMP0_REG	r	40	01000000	output	Timestamp output registers
TIMESTAMP1_REG	r	41	01000001	output	
TIMESTAMP2_REG	r/w	42	01000010	output	
RESERVED	-	43-48		-	Reserved
STEP_TIMESTAMP_L	r	49	0100 1001	output	Step counter timestamp registers
STEP_TIMESTAMP_H	r	4A	0100 1010	output	
STEP_COUNTER_L	r	4B	01001011	output	Step counter output registers
STEP_COUNTER_H	r	4C	01001100	output	
SENSORHUB13_REG	r	4D	01001101	output	Sensor hub output registers
SENSORHUB14_REG	r	4E	01001110	output	
SENSORHUB15_REG	r	4F	01001111	output	
SENSORHUB16_REG	r	50	01010000	output	
SENSORHUB17_REG	r	51	01010001	output	
SENSORHUB18_REG	r	52	01010010	output	
FUNC_SRC	r	53	01010011	output	Interrupt register

Document annexe DA10

Table 16. Registers address map (continued)

Name	Type	Register address		Default	Comment
		Hex	Binary		
RESERVED	-	54-57		-	Reserved
TAP_CFG	r/w	58	01011000	00000000	Interrupt registers
TAP_THS_6D	r/w	59	01011001	00000000	
INT_DUR2	r/w	5A	01011010	00000000	
WAKE_UP_THS	r/w	5B	01011011	00000000	
WAKE_UP_DUR	r/w	5C	01011100	00000000	
FREE_FALL	r/w	5D	01011101	00000000	
MD1_CFG	r/w	5E	01011110	00000000	
MD2_CFG	r/w	5F	01011111	00000000	
RESERVED	-	60-65		-	Reserved
OUT_MAG_RAW_X_L	r	66	0110 0110	output	External magnetometer raw data output registers
OUT_MAG_RAW_X_H	r	67	0110 0111	output	
OUT_MAG_RAW_Y_L	r	68	0110 1000	output	
OUT_MAG_RAW_Y_H	r	69	0110 1001	output	
OUT_MAG_RAW_Z_L	r	6A	0110 1010	output	
OUT_MAG_RAW_X_H	r	6B	0110 1011	output	

Registers marked as *Reserved* must not be changed. Writing to those registers may cause permanent damage to the device.

The content of the registers that are loaded at boot should not be changed. They contain the factory calibration values. Their content is automatically restored when the device is powered up.

9.27 OUT_TEMP_L (20h), OUT_TEMP(21h)

Temperature data output register (r). L and H registers together express a 16-bit word in two's complement.

Table 84. OUT_TEMP_L register

Temp7	Temp6	Temp5	Temp4	Temp3	Temp2	Temp1	Temp0
-------	-------	-------	-------	-------	-------	-------	-------

Table 85. OUT_TEMP_H register

Temp15	Temp14	Temp13	Temp12	Temp11	Temp10	Temp9	Temp8
--------	--------	--------	--------	--------	--------	-------	-------

Table 86. OUT_TEMP register description

Temp[15:0]	Temperature sensor output data The value is expressed as two's complement sign extended on the MSB.
------------	--

9.14 CTRL3_C (12h)

Control register 3 (r/w).

Table 52. CTRL3_C register

BOOT	BDU	H_LACTIVE	PP_OD	SIM	IF_INC	BLE	SW_RESET
------	-----	-----------	-------	-----	--------	-----	----------

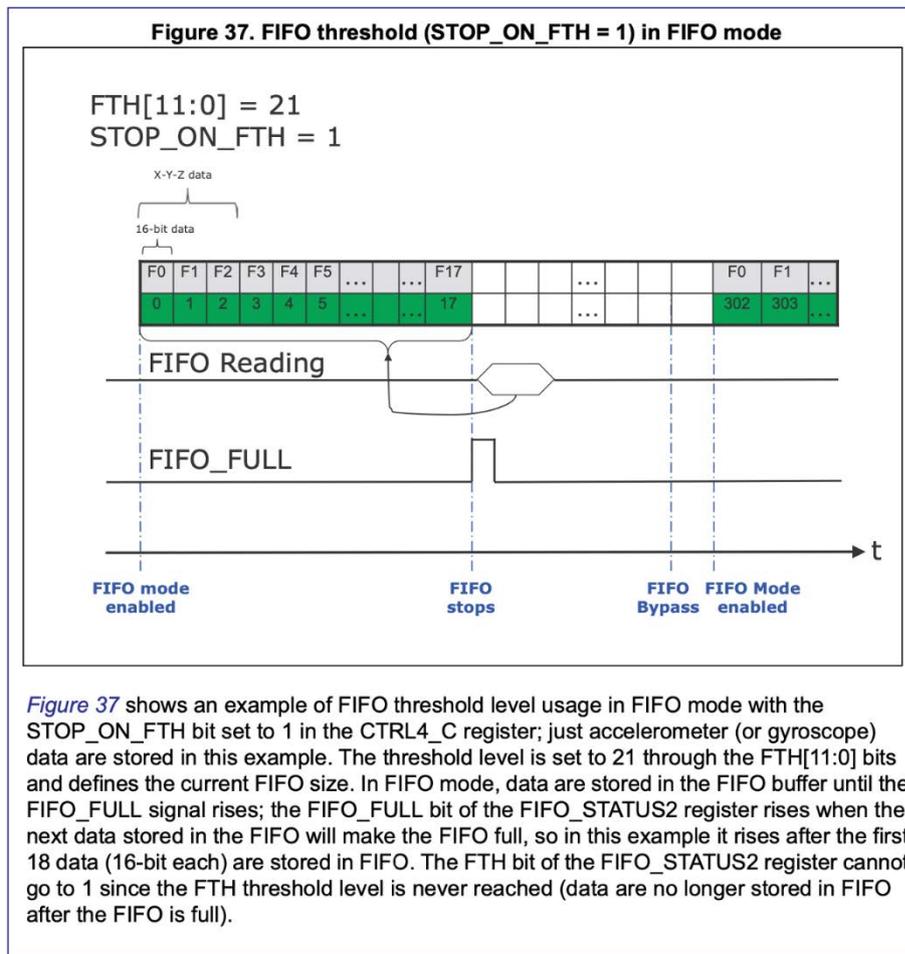
Table 53. CTRL3_C register description

BOOT	Reboot memory content. Default value: 0 (0: normal mode; 1: reboot memory content ⁽¹⁾)
BDU	Block Data Update. Default value: 0 (0: continuous update; 1: output registers not updated until MSB and LSB have been read)
H_LACTIVE	Interrupt activation level. Default value: 0 (0: interrupt output pads active high; 1: interrupt output pads active low)
PP_OD	Push-pull/open-drain selection on INT1 and INT2 pads. Default value: 0 (0: push-pull mode; 1: open-drain mode)
SIM	SPI Serial Interface Mode selection. Default value: 0 (0: 4-wire interface; 1: 3-wire interface).
IF_INC	Register address automatically incremented during a multiple byte access with a serial interface (I ² C or SPI). Default value: 1 (0: disabled; 1: enabled)
BLE	Big/Little Endian Data selection. Default value 0 (0: data LSB @ lower address; 1: data MSB @ lower address)
SW_RESET	Software reset. Default value: 0 (0: normal mode; 1: reset device) This bit is cleared by hardware after next flash boot.

1. Boot request is executed as soon as internal oscillator is turned on. It is possible to set bit while in power-down mode, in this case it will be served at the next normal mode or sleep mode.

Module specifications			LSM6DS3			
4 Module specifications						
4.1 Mechanical characteristics						
@ Vdd = 1.8 V, T = 25 °C unless otherwise noted.						
Table 3. Mechanical characteristics						
Symbol	Parameter	Test conditions	Min.	Typ. ⁽¹⁾	Max.	Unit
LA_FS	Linear acceleration measurement range			±2		g
				±4		
				±8		
				±16		
G_FS	Angular rate measurement range			±125		dps
				±250		
				±500		
				±1000		
LA_So	Linear acceleration sensitivity	FS = ±2		0.061		mg/LSB
		FS = ±4		0.122		
		FS = ±8		0.244		
		FS = ±16		0.488		
G_So	Angular rate sensitivity	FS = ±125		4.375		mdps/LSB
		FS = ±250		8.75		
		FS = ±500		17.50		
		FS = ±1000		35		
		FS = ±2000		70		
LA_SoDr	Linear acceleration sensitivity change vs. temperature ⁽²⁾	from -40° to +85° delta from T=25°		±1		%
G_SoDr	Angular rate sensitivity change vs. temperature ⁽²⁾	from -40° to +85° delta from T=25°		±1.5		%
LA_TyOff	Linear acceleration typical zero-g level offset accuracy ⁽³⁾			±40		mg
G_TyOff	Angular rate typical zero-rate level ⁽³⁾			±10		dps
LA_OffDr	Linear acceleration zero-g level change vs. temperature ⁽²⁾			±0.5		mg/°C
G_OffDr	Angular rate typical zero-rate level change vs. temperature ⁽²⁾			±0.05		dps/°C

Document annexe DA13



La taille de la FIFO étant de 8 kiocets, elle peut par conséquent contenir 4096 mots de 16 bits notés ci-dessus F0 à F4095.

Lorsque le composant effectue une campagne de mesures d'accélération, il échantillonne les 3 accélérations a_x , a_y et a_z au même instant kT_e , ce qui se traduit par la mémorisation en FIFO des 3 mots de 16 bits successifs N_{ax} , N_{ay} et N_{az} . Ces 3 mots sont désignés par l'expression « X-Y-Z data » sur le schéma ci-dessus.

La documentation (registres FIFO_CTRL3 et FIFO_CTRL4) indique que le « X-Y-Z data set » peut concerner le gyroscope, l'accéléromètre ainsi qu'un 3^{ème} et un 4^{ème} data set que l'on n'explicitera pas.

Dans l'exemple donné ci-dessus, la FIFO cesse de se remplir lorsqu'elle le composant LSM6DS3 a fait l'acquisition de 7 valeurs de $[a_x, a_y \text{ et } a_z]$ successives, soit l'ensemble des 21 valeurs $a_x(0), a_y(0), a_z(0), a_x(T_e), a_y(T_e), a_z(T_e), a_x(2T_e), a_y(2T_e), \dots, a_y(6T_e), a_z(6T_e)$.

A l'issue de cette campagne de mesures, les 42 premières cases mémoire de la FIFO contiennent par conséquent les valeurs successives $N_{ax}(0), N_{ay}(0), N_{az}(0), N_{ax}(T_e), \dots, N_{ay}(6T_e)$ et $N_{az}(6T_e)$.

Pour obtenir cette configuration, il faut mettre en œuvre le « FIFO Mode » et ne valider que le « X-Y-Z data set » relatif à l'accéléromètre.

Document annexe DA14

9.3 FIFO_CTRL1 (06h)

FIFO control register (r/w).

Table 21. FIFO_CTRL1 register

FTH_7	FTH_6	FTH_5	FTH_4	FTH_3	FTH_2	FTH_1	FTH_0
-------	-------	-------	-------	-------	-------	-------	-------

Table 22. FIFO_CTRL1 register description

FTH_[7:0]	FIFO threshold level setting ⁽¹⁾ . Default value: 0000 0000. Watermark flag rises when the number of bytes written to FIFO after the next write is greater than or equal to the threshold level. Minimum resolution for the FIFO is 1 LSB = 2 bytes (1 word) in FIFO
-----------	---

1. For a complete watermark threshold configuration, consider FTH_[11:8] in *FIFO_CTRL2 (07h)*.

9.4 FIFO_CTRL2 (07h)

FIFO control register (r/w).

Table 23. FIFO_CTRL2 register

TIMER_PEDO_FIF0_EN	TIMER_PEDO_FIF0_DRDY	0 ⁽¹⁾	0 ⁽¹⁾	FTH_11	FTH10	FTH_9	FTH_8
--------------------	----------------------	------------------	------------------	--------	-------	-------	-------

1. This bit must be set to '0' for the correct operation of the device.

Table 24. FIFO_CTRL2 register description

TIMER_PEDO_FIF0_EN	Enable pedometer step counter and timestamp as 4 th FIFO data set. Default: 0 (0: disable step counter and timestamp data as 4 th FIFO data set; 1: enable step counter and timestamp data as 4 th FIFO data set)
TIMER_PEDO_FIF0_DRDY	FIFO write mode ⁽¹⁾ . Default: 0 (0: enable write in FIFO based on XL/Gyro data-ready; 1: enable write in FIFO at every step detected by step counter.)
FTH_[11:8]	FIFO threshold level setting ⁽²⁾ . Default value: 0000 Watermark flag rises when the number of bytes written to FIFO after the next write is greater than or equal to the threshold level. Minimum resolution for the FIFO is 1LSB = 2 bytes (1 word) in FIFO

1. This bit is effective if the DATA_VALID_SEL_FIF0 bit of the *MASTER_CONFIG (1Ah)* register is set to 0.

2. For a complete watermark threshold configuration, consider FTH_[7:0] in *FIFO_CTRL1 (06h)*

9.5 FIFO_CTRL3 (08h)

FIFO control register (r/w).

Table 25. FIFO_CTRL3 register

0 ⁽¹⁾	0 ⁽¹⁾	DEC_FIF0_GYRO2	DEC_FIF0_GYRO1	DEC_FIF0_GYRO0	DEC_FIF0_XL2	DEC_FIF0_XL1	DEC_FIF0_XL0
------------------	------------------	----------------	----------------	----------------	--------------	--------------	--------------

1. This bit must be set to '0' for the correct operation of the device.

Table 26. FIFO_CTRL3 register description

DEC_FIF0_GYRO [2:0]	Gyro FIFO (first data set) decimation setting. Default: 000 For the configuration setting, refer to <i>Table 27</i> .
DEC_FIF0_XL [2:0]	Accelerometer FIFO (second data set) decimation setting. Default: 000 For the configuration setting, refer to <i>Table 28</i> .

Document annexe DA15

Table 27. Gyro FIFO decimation setting

DEC_FIFO_GYRO [2:0]	Configuration
000	Gyro sensor not in FIFO
001	No decimation
010	Decimation with factor 2
011	Decimation with factor 3
100	Decimation with factor 4
101	Decimation with factor 8
110	Decimation with factor 16
111	Decimation with factor 32

Table 28. Accelerometer FIFO decimation setting

DEC_FIFO_XL [2:0]	Configuration
000	Accelerometer sensor not in FIFO
001	No decimation
010	Decimation with factor 2
011	Decimation with factor 3
100	Decimation with factor 4
101	Decimation with factor 8
110	Decimation with factor 16
111	Decimation with factor 32

9.6 FIFO_CTRL4 (09h)

FIFO control register (r/w).

Table 29. FIFO_CTRL4 register

0 ⁽¹⁾	ONLY_HIGH_DATA	DEC_DS4_FIFO2	DEC_DS4_FIFO1	DEC_DS4_FIFO0	DEC_DS3_FIFO2	DEC_DS3_FIFO1	DEC_DS3_FIFO0
------------------	----------------	---------------	---------------	---------------	---------------	---------------	---------------

1. This bit must be set to '0' for the correct operation of the device.

Table 30. FIFO_CTRL4 register description

ONLY_HIGH_DATA	8-bit data storage in FIFO. Default: 0 (0: disable MSByte only memorization in FIFO for XL and Gyro; 1: enable MSByte only memorization in FIFO for XL and Gyro in FIFO)
DEC_DS4_FIFO[2:0]	Fourth FIFO data set decimation setting. Default: 000 For the configuration setting, refer to <i>Table 31</i> .
DEC_DS3_FIFO[2:0]	Third FIFO data set decimation setting. Default: 000 For the configuration setting, refer to <i>Table 32</i> .

Document annexe DA16

Table 31. Fourth FIFO data set decimation setting

DEC_DS4_FIFO[2:0]	Configuration
000	Fourth FIFO data set not in FIFO
001	No decimation
010	Decimation with factor 2
011	Decimation with factor 3
100	Decimation with factor 4
101	Decimation with factor 8
110	Decimation with factor 16
111	Decimation with factor 32

Table 32. Third FIFO data set decimation setting

DEC_DS3_FIFO[2:0]	Configuration
000	Third FIFO data set not in FIFO
001	No decimation
010	Decimation with factor 2
011	Decimation with factor 3
100	Decimation with factor 4
101	Decimation with factor 8
110	Decimation with factor 16
111	Decimation with factor 32

9.7 FIFO_CTRL5 (0Ah)

FIFO control register (r/w).

Table 33. FIFO_CTRL5 register

0 ⁽¹⁾	ODR_FIFO_3	ODR_FIFO_2	ODR_FIFO_1	ODR_FIFO_0	FIFO_MODE_2	FIFO_MODE_1	FIFO_MODE_0
------------------	------------	------------	------------	------------	-------------	-------------	-------------

1. This bit must be set to '0' for the correct operation of the device.

Table 34. FIFO_CTRL5 register description

ODR_FIFO_[3:0]	FIFO ODR selection, setting FIFO_MODE also. Default: 0000 For the configuration setting, refer to <i>Table 35</i>
FIFO_MODE_[2:0]	FIFO mode selection bits, setting ODR_FIFO also. Default value: 000 For the configuration setting refer to <i>Table 36</i>

Document annexe DA17

Table 35. FIFO ODR selection

ODR_FIFO_[3:0]	Configuration ⁽¹⁾
0000	FIFO disabled
0001	FIFO ODR is set to 12.5 Hz
0010	FIFO ODR is set to 26 Hz
0011	FIFO ODR is set to 52 Hz
0100	FIFO ODR is set to 104 Hz
0101	FIFO ODR is set to 208 Hz
0110	FIFO ODR is set to 416 Hz
0111	FIFO ODR is set to 833 Hz
1000	FIFO ODR is set to 1.66 kHz
1001	FIFO ODR is set to 3.33 kHz
1010	FIFO ODR is set to 6.66 kHz

1. If the device is working at an ODR slower than the one selected, FIFO ODR is limited to that ODR value. Moreover, these bits are effective if both the DATA_VALID_SEL FIFO bit of *MASTER_CONFIG (1Ah)* and the TIMER_PEDO_FIFO_DRDY bit of *FIFO_CTRL2 (07h)* are set to 0.

Table 36. FIFO mode selection

FIFO_MODE_[2:0]	Configuration mode
000	Bypass mode. FIFO disabled.
001	FIFO mode. Stops collecting data when FIFO is full.
010	Reserved
011	Continuous mode until trigger is deasserted, then FIFO mode.
100	Bypass mode until trigger is deasserted, then Continuous mode.
101	Reserved
110	Continuous mode. If the FIFO is full, the new sample overwrites the older one.
111	Reserved

9.9 INT1_CTRL (0Dh)

INT1 pad control register (r/w).

Each bit in this register enables a signal to be carried through INT1. The pad's output will supply the OR combination of the selected signals.

Table 40. INT1_CTRL register

INT1_STEP_DETECTOR	INT1_SIGN_MOT	INT1_FULL_FLAG	INT1_FIFO_OVR	INT1_FTH	INT1_BOOT	INT1_DRDY_G	INT1_DRDY_XL
--------------------	---------------	----------------	---------------	----------	-----------	-------------	--------------

Table 41. INT1_CTRL register description

INT1_STEP_DETECTOR	Pedometer step recognition interrupt enable on INT1 pad. Default value: 0 (0: disabled; 1: enabled)
INT1_SIGN_MOT	Significant motion interrupt enable on INT1 pad. Default value: 0 (0: disabled; 1: enabled)
INT1_FULL_FLAG	FIFO full flag interrupt enable on INT1 pad. Default value: 0 (0: disabled; 1: enabled)
INT1_FIFO_OVR	FIFO overrun interrupt on INT1 pad. Default value: 0 (0: disabled; 1: enabled)
INT1_FTH	FIFO threshold interrupt on INT1 pad. Default value: 0 (0: disabled; 1: enabled)
INT1_BOOT	Boot status available on INT1 pad. Default value: 0 (0: disabled; 1: enabled)
INT1_DRDY_G	Gyroscope Data Ready on INT1 pad. Default value: 0 (0: disabled; 1: enabled)
INT1_DRDY_XL	Accelerometer Data Ready on INT1 pad. Default value: 0 (0: disabled; 1: enabled)

Document annexe DA18

9.12 CTRL1_XL (10h)

Linear acceleration sensor control register 1 (r/w).

Table 45. CTRL1_XL register

ODR_XL3	ODR_XL2	ODR_XL1	ODR_XL0	FS_XL1	FS_XL0	BW_XL1	BW_XL0
---------	---------	---------	---------	--------	--------	--------	--------

Table 46. CTRL1_XL register description

ODR_XL [3:0]	Output data rate and power mode selection. Default value: 0000 (see <i>Table 47</i>).
FS_XL [1:0]	Accelerometer full-scale selection. Default value: 00. (00: ± 2 g; 01: ± 16 g; 10: ± 4 g; 11: ± 8 g)
BW_XL [1:0]	Anti-aliasing filter bandwidth selection. Default value: 00 (00: 400 Hz; 01: 200 Hz; 10: 100 Hz; 11: 50 Hz)

Table 47. Accelerometer ODR register setting

ODR_XL3	ODR_XL2	ODR_XL1	ODR_XL0	ODR selection [Hz] when XL_HM_MODE = 1	ODR selection [Hz] when XL_HM_MODE = 0
0	0	0	0	Power-down	Power-down
0	0	0	1	12.5 Hz (low power)	12.5 Hz (high performance)
0	0	1	0	26 Hz (low power)	26 Hz (high performance)
0	0	1	1	52 Hz (low power)	52 Hz (high performance)
0	1	0	0	104 Hz (normal mode)	104 Hz (high performance)
0	1	0	1	208 Hz (normal mode)	208 Hz (high performance)
0	1	1	0	416 Hz (high performance)	416 Hz (high performance)
0	1	1	1	833 Hz (high performance)	833 Hz (high performance)
1	0	0	0	1.66 kHz (high performance)	1.66 kHz (high performance)
1	0	0	1	3.33 kHz (high performance)	3.33 kHz (high performance)
1	0	1	0	6.66 kHz (high performance)	6.66 kHz (high performance)

Table 48. BW and ODR (high-performance mode)

ODR ⁽¹⁾	Analog filter BW (XL_HM_MODE = 0)	
	XL_BW_SCAL_ODR = 0	XL_BW_SCAL_ODR = 1
6.66 - 3.33 kHz	Filter not used	Bandwidth is determined by setting BW_XL[1:0] in CTRL1_XL (10h)
1.66 kHz	400 Hz	
833 Hz	400 Hz	
416 Hz	200 Hz	
208 Hz	100 Hz	
104 - 12.5 Hz	50 Hz	

1. Filter not used when accelerometer is in normal and low-power modes.

Document annexe DA19

9.14 CTRL3_C (12h)

Control register 3 (r/w).

Table 52. CTRL3_C register

BOOT	BDU	H_LACTIVE	PP_OD	SIM	IF_INC	BLE	SW_RESET
------	-----	-----------	-------	-----	--------	-----	----------

Table 53. CTRL3_C register description

BOOT	Reboot memory content. Default value: 0 (0: normal mode; 1: reboot memory content ⁽¹⁾)
BDU	Block Data Update. Default value: 0 (0: continuous update; 1: output registers not updated until MSB and LSB have been read)
H_LACTIVE	Interrupt activation level. Default value: 0 (0: interrupt output pads active high; 1: interrupt output pads active low)
PP_OD	Push-pull/open-drain selection on INT1 and INT2 pads. Default value: 0 (0: push-pull mode; 1: open-drain mode)
SIM	SPI Serial Interface Mode selection. Default value: 0 (0: 4-wire interface; 1: 3-wire interface).
IF_INC	Register address automatically incremented during a multiple byte access with a serial interface (I ² C or SPI). Default value: 1 (0: disabled; 1: enabled)
BLE	Big/Little Endian Data selection. Default value 0 (0: data LSB @ lower address; 1: data MSB @ lower address)
SW_RESET	Software reset. Default value: 0 (0: normal mode; 1: reset device) This bit is cleared by hardware after next flash boot.

1. Boot request is executed as soon as internal oscillator is turned on. It is possible to set bit while in power-down mode, in this case it will be served at the next normal mode or sleep mode.

9.15 CTRL4_C (13h)

Control register 4 (r/w).

Table 54. CTRL4_C register

XL_BW_SCAL_ODR	SLEEP_G	INT2_on_INT1	FIFO_TEMP_EN	DRDY_MASK	I2C_disable	0 ⁽¹⁾	STOP_ON_FTH
----------------	---------	--------------	--------------	-----------	-------------	------------------	-------------

1. This bit must be set to '0' for the correct operation of the device.

Table 55. CTRL4_C register description

XL_BW_SCAL_ODR	Accelerometer bandwidth selection. Default value: 0 (0 ⁽¹⁾ : bandwidth determined by ODR selection, refer to <i>Table 48</i> ; 1 ⁽²⁾ : bandwidth determined by setting BW_XL[1:0] in <i>CTRL1_XL (10h)</i> register.)
SLEEP_G	Gyroscope sleep mode enable. Default value: 0 (0: disabled; 1: enabled)
INT2_on_INT1	All interrupt signals available on INT1 pad enable. Default value: 0 (0: interrupt signals divided between INT1 and INT2 pads; 1: all interrupt signals in logic or on INT1 pad)
FIFO_TEMP_EN	Enable temperature data as 4 th FIFO data set ⁽³⁾ . Default: 0 (0: disable temperature data as 4 th FIFO data set; 1: enable temperature data as 4 th FIFO data set)
DRDY_MASK	Data-ready mask enable. If enabled, when switching from Power-Down to an active mode, the accelerometer and gyroscope data-ready signals are masked until the settling of the sensor filters is completed. Default value: 0 (0: disabled; 1: enabled)
I2C_disable	Disable I ² C interface. Default value: 0 (0: both I ² C and SPI enabled; 1: I ² C disabled, SPI only)
STOP_ON_FTH	Enable FIFO threshold level use. Default value: 0 (0: FIFO depth is not limited; 1: FIFO depth is limited to threshold level)

1. Filter used in high-performance mode only with ODR less than 3.33 kHz.
2. Filter used in high-performance mode only.
3. This bit is effective if the TIMER_PEDO_FIFO_EN bit of *FIFO_CTRL2 (07h)* register is set to 0.

Document annexe DA20 (1 sur 2)

```
#include <stdio.h>
#include <math.h>
#include "lsm6ds3.h"
#include "fft.h"
#define TAILLE_BUFFER 256
#define TAILLE_FFT (TAILLE_BUFFER/2)

/* Déclaration des variables globales */
uint8_t  gamme=CTRL1_XL&0x0C;
uint8_t  Fe=FIFO_CTRL5&0x78;
uint16_t Nax, Nay, Naz; // Variables Nax, Nay et Naz délivrées par le LSM6DS3 et exprimées sur 16 bits
float    ax, ay, az; // Variables ax, ay et az exprimées en m.s-2
uint16_t fifo_data; // Variable correspondant au mot de 16 bits (Nax, Nay ou Naz) délivré par la FIFO
uint8_t  r_axe; // Variable correspondant à l'axe traité (0 pour x, 1 pour y, 2 pour z)
float    g_a // Coefficient permettant d'exprimer ax, ay et az en m.s-2
float    g_v // Coefficient permettant d'exprimer le module de la FFT de la vitesse en mm.s-1
float    buf_a[TAILLE_BUFFER][2]; /* Buffer contenant:
    * avant exécution de la FFT, les 256 valeurs de an
    * après exécution de la FFT, les parties réelles et imaginaires des 128 échantillons Ak */
float    buf_v[TAILLE_FFT]; // Buffer contenant le module des 128 échantillons V(k)
float    buf_EMP_VIB[TAILLE_FFT]; // Buffer contenant le module de l'empreinte vibratoire EMP_VIB[k]
uint16_t rang_buffer;
float    tmp_a, tmp_v, tmp_mod;
uint16_t k;
float    EMP_VIB_max; // Valeur maximale du module de l'empreinte vibratoire
float    pic_f; // Fréquence pour laquelle le module de l'empreinte vibratoire est maximal
uint8_t  FIFO_flag; // Drapeau mis à 0 par la fonction d'interruption, donc toutes les 5 minutes

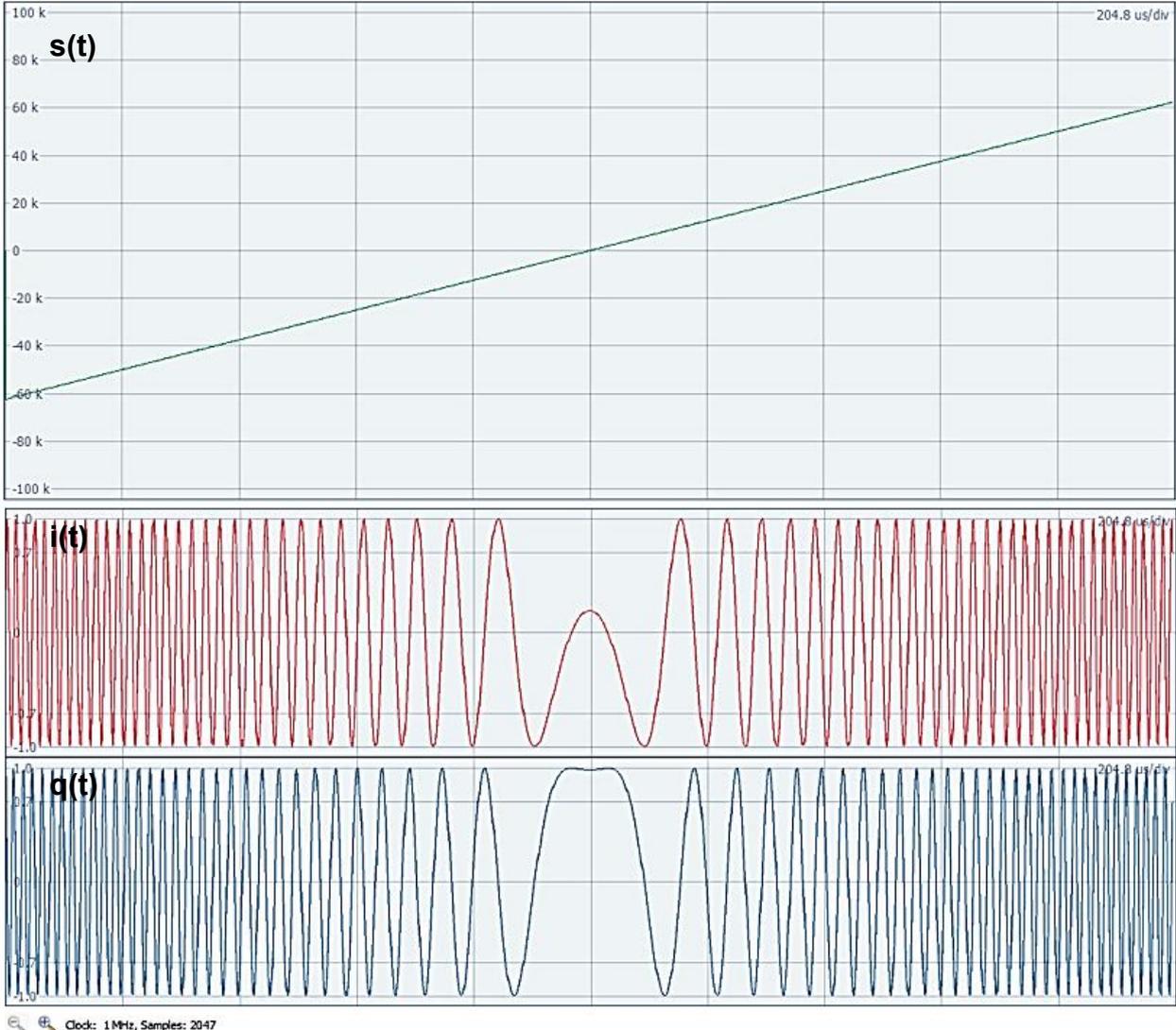
/* Déclaration des prototypes des fonctions */
void init(void); // Prototypé de la fonction d'initialisation du LSM6DS3
void IT_Timer(void); // Prototypé de la fonction d'interruption déclenchée toutes les 5 minutes

void main(void) // Programme de test (tâche de fond)
{
    init(); // Fonction permettant d'initialiser le composant LSM6DS3
    switch(gamme)
    {
        case 0: g_a=4*9.81/65536;
                break;
        case 4: g_a=32*9.81/65536;
                break;
        case 8: g_a=8*9.81/65536;
                break;
        default: g_a=16*9.81/65536;
    }
    switch(Fe)
    {
        case 8: g_v=(1000*TAILLE_BUFFER)/(6.28*12.5);
                break;
        case 16: g_v=(1000*TAILLE_BUFFER)/(6.28*26);
                break;
        case 24: g_v=(1000*TAILLE_BUFFER)/(6.28*52);
                break;
        case 32: g_v=(1000*TAILLE_BUFFER)/(6.28*104);
                break;
        case 40: g_v=(1000*TAILLE_BUFFER)/(6.28*208);
                break;
        case 48: g_v=(1000*TAILLE_BUFFER)/(6.28*416);
                break;
        case 56: g_v=(1000*TAILLE_BUFFER)/(6.28*833);
                break;
        case 64: g_v=(1000*TAILLE_BUFFER)/(6.28*1667);
                break;
        case 72: g_v=(1000*TAILLE_BUFFER)/(6.28*3333);
                break;
        default: g_v=(1000*TAILLE_BUFFER)/(6.28*6667);
    }
    FIFO_flag=0xFF;
}
```

Document annexe DA20 (2 sur 2)

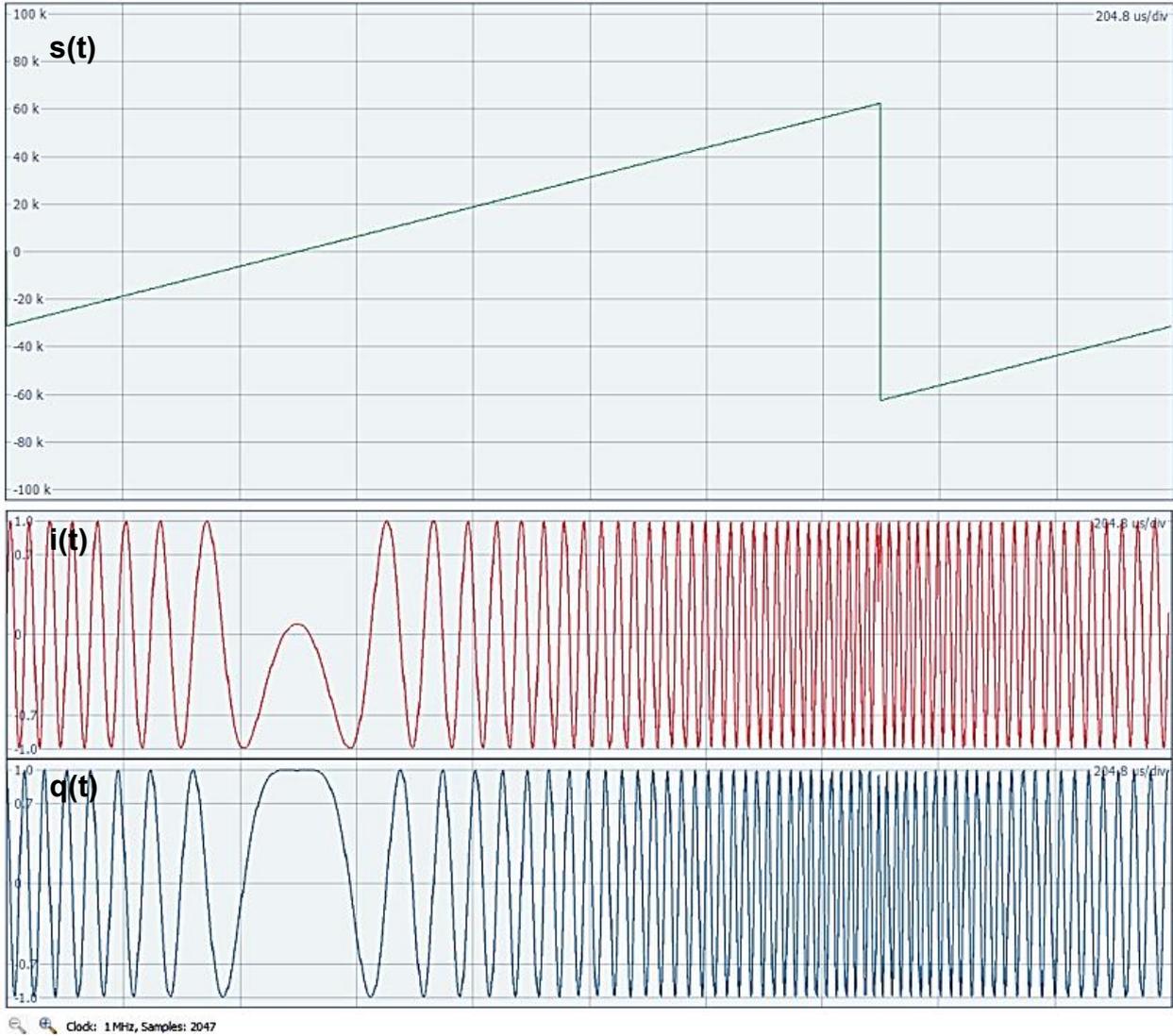
```
do
{
    if (FIFO_flag==0)
    {
        r_axe=0;
        rang_buffer=0;
        do
        {
            do
            {
                fifo_data=LSM6DS3_read_FIFO_buffer();
                switch(r_axe)
                {
                    case 0:  Nax=fifo_data;
                            ax=(float)(Nax*g_a);
                            tmp_a=a_x*a_x;
                            break;
                    case 1:  Nay=fifo_data;
                            ay=(float)(Nay*g_a);
                            tmp_a+=a_y*a_y;
                            break;
                    default:  Naz=fifo_data;
                            az=(float)(Naz*g_a);
                            // A compléter 1 //
                }
                r_axe++;
            }
            while (r_axe<3);
            r_axe=0;
            buf_a[rang_buffer][0]=sqrt(tmp_a);
            rang_buffer++;
        }
        while(rang_buffer<TAILLE_BUFFER);
        fft256(buf_a,0);
        for(k=1;k<TAILLE_FFT;k++)
        {
            float tmp_mod;
            // A compléter 2 //
            buf_V[k]=(sqrt(tmp_mod)*g_v)/k;
        }
        while(rang_buffer<TAILLE_BUFFER);
        for(k=1;k<TAILLE_FFT;k++)
        {
            tmp_V=buf_V[k-1]*buf_V[k-1];
            tmp_V+=(buf_V[k]*buf_V[k]);
            if (k<TAILLE_BUFFER-1) tmp_V+=(buf_V[k+1]*buf_V[k+1]);
            else tmp_V+=(buf_V[k]*buf_V[k]);
            buf_EMP_VIB[k]=sqrt(tmp_V);
        }
        pic_f=0;
        EMPB_VIB_max=0;
        for(k=1;k<TAILLE_FFT;k++)
        {
            if (buf_EMP_VIB[k]>v_max)
            {
                EMPB_VIB_max=buf_EMP_VIB[k];
                pic_f=(k*1000)/(6.28*g_v);
            }
        }
        FIFO_flag=~FIFO_flag;
    }
}
while(1);
}
void IT_Timer() // Fonction d'InTerrupton se déclenchant toutes les 5 minutes
{
    FIFO_flag=~FIFO_flag;
}
```

Document annexe DA21



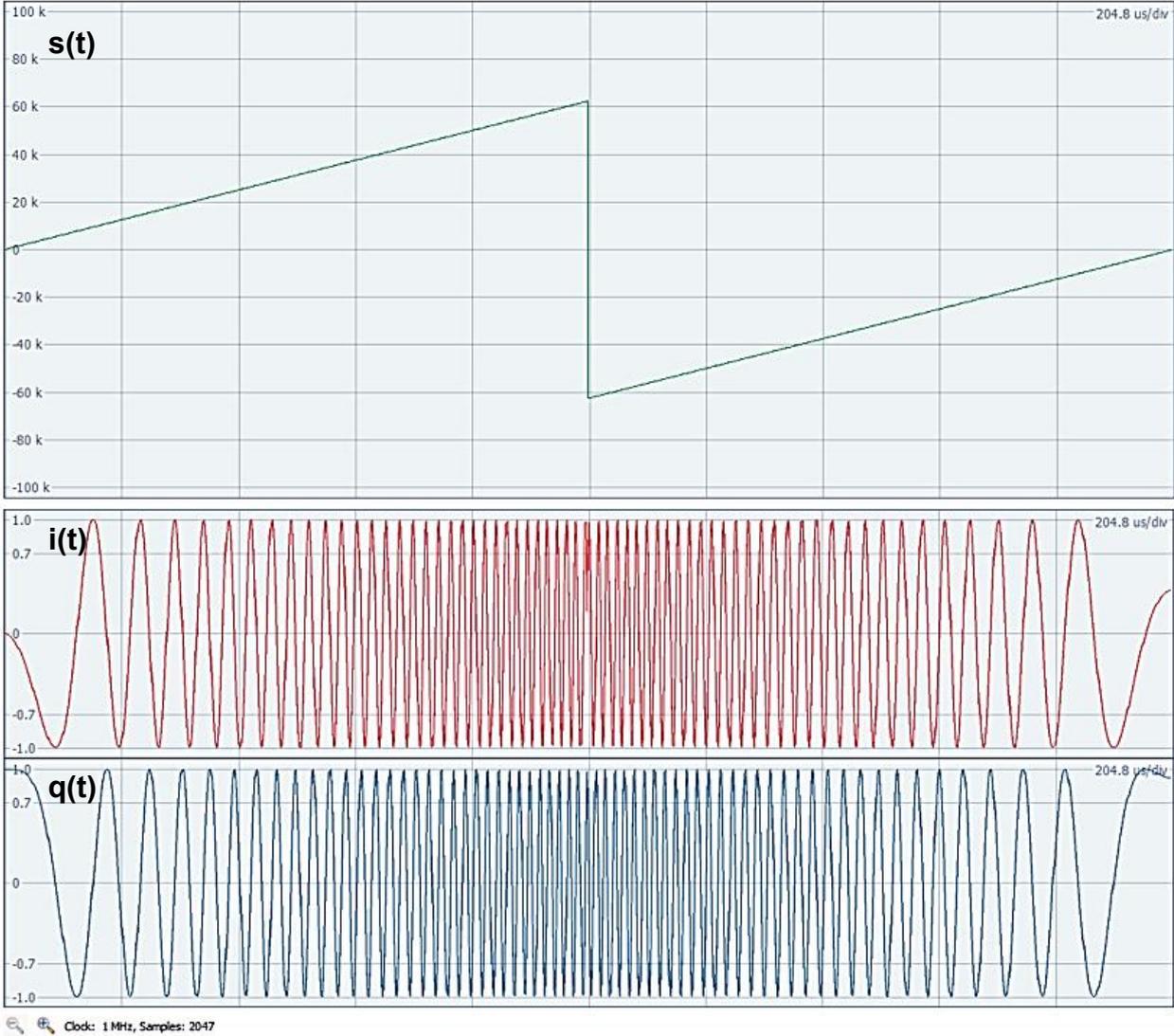
Transmission du symbole $n = 0$

Document annexe DA22



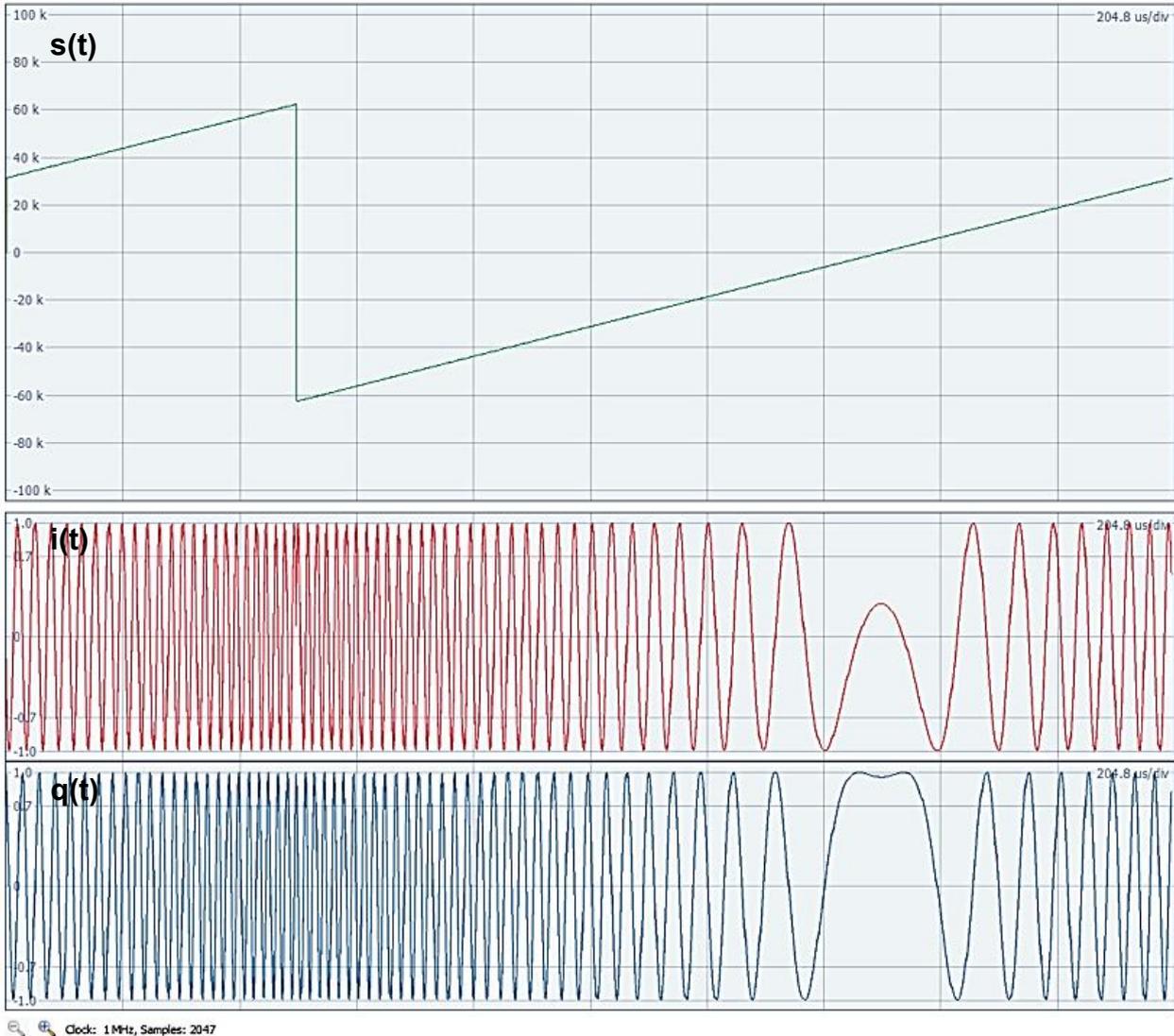
Transmission du symbole $n = 64$

Document annexe DA23



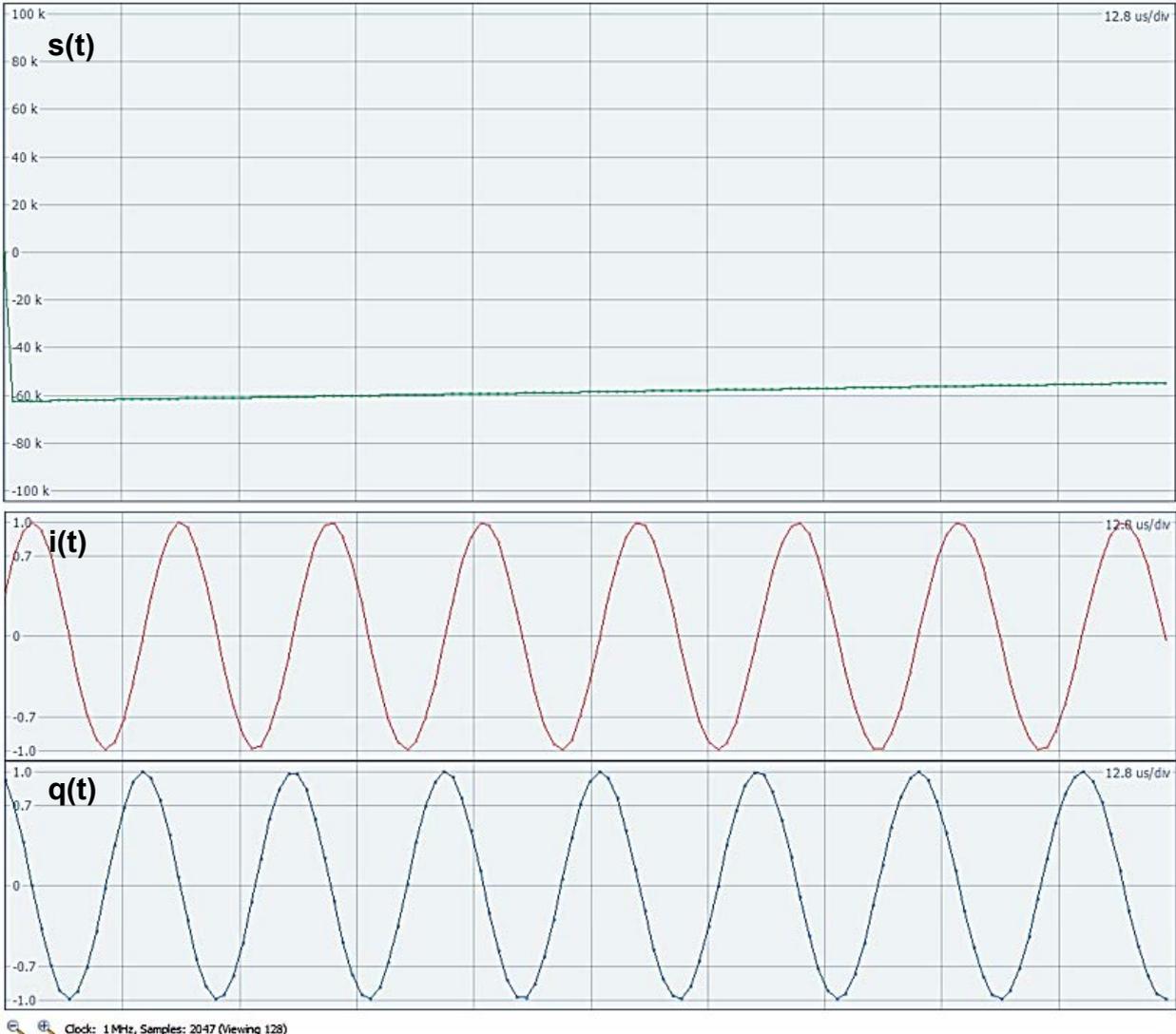
Transmission du symbole n = 128

Document annexe DA24



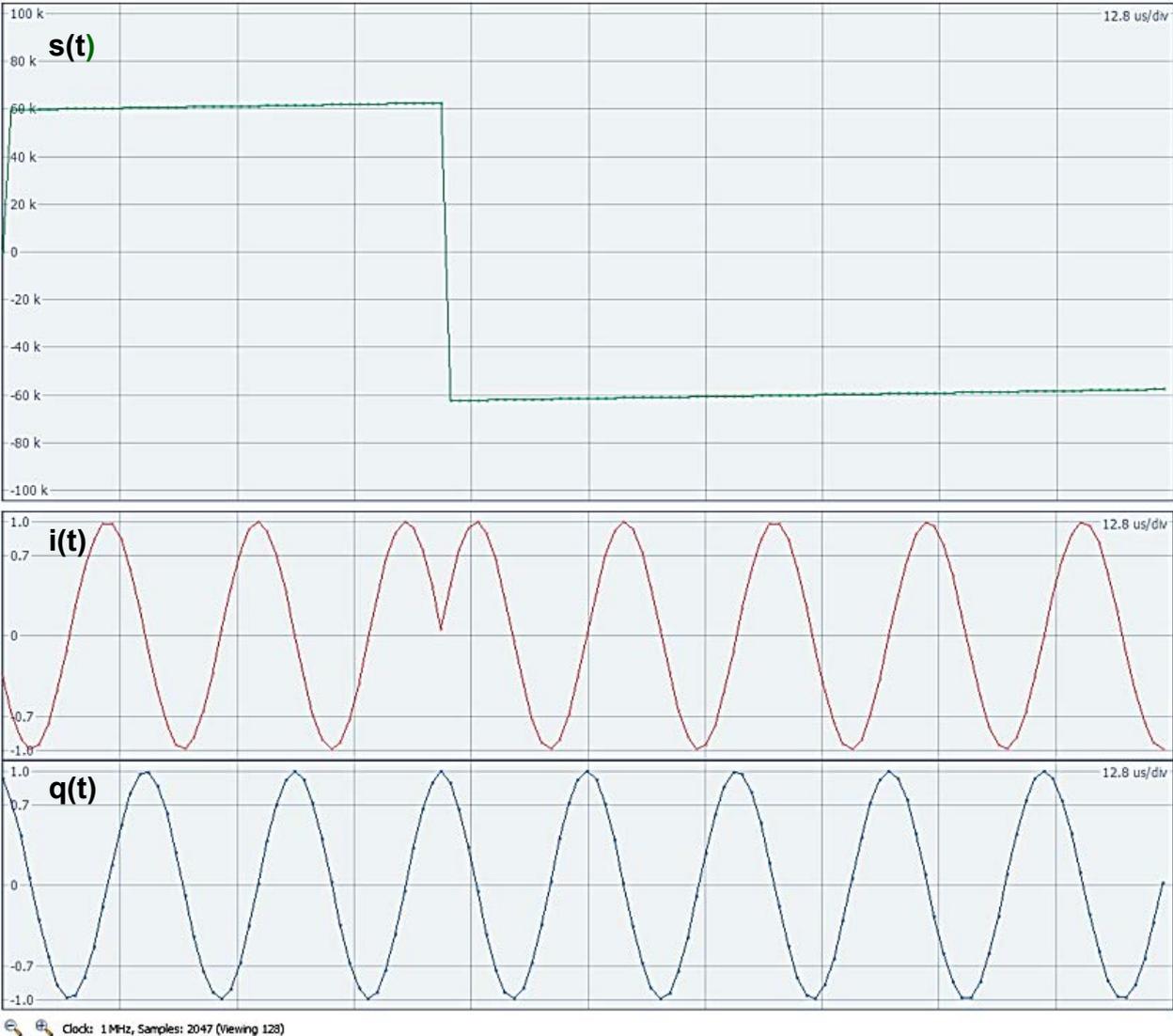
Transmission du symbole $n = 192$

Document annexe DA25



Transmission du symbole $n = 0$ (zoom sur les 128 premières μs)

Document annexe DA26



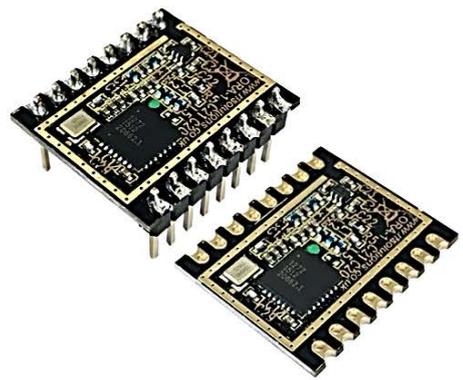
Transmission du symbole n = 250 (zoom sur les 128 premières μ s)

**RF LoRa™**

LongRange Transceiver

Features

- Upto 16KM Range
- Integrated LoRa™ Modem Semtech SX1272
- Highly Efficient Inetgral Impedance Matching Network
- Provides Full Functionality of the RFIC:
- 157 dB maximum link budget
- +20 dBm at 100 mW constant RF output vs. V supply
- +14 dBm high efficiency PA
- Built in RF switch
- High sensitivity: down to -130 dBm
- Bullet-proof front end: IIP3 = -12.5 dBm
- 89 dB blocking immunity
- Small Form Factor: 23mm x 20mm
- Programmable bit rate up to 300 kbps
- Low RX current of 10 mA, 100nA register retention
- FSK, GFSK, MSK, GMSK, LoRa™ and OOK modulation
- Built-in bit synchronizer for clock recovery
- Preamble detection
- 127 dB Dynamic Range RSSI
- Automatic RF Sense and CAD with ultra-fast AFC
- Packet engine up to 256 bytes with CRC
- Built-in temperature sensor and low battery indicator



Applications

- Home Automation
- RF Alarms
- Sensor networks
- Long Range Telemetry
- Meter Reading
- Irrigation Systems
- Wireless Applications
- Alarms

Introduction

The RF-LoRa module is an extremely high performance, cost effective radio module featuring the Semtech SX1272 LoRa™ long range providing ultra-long range, spread spectrum communication and high interference immunity within minimal current consumption.

This module including crystal, RF Changeover switch, impedance matching network and track layout provide a simple digital interface and direct antenna connection. This enables a plug in RF solution with maximum efficiency. Programming of the module is via SPI interface.

Using the RF-LoRa enables a fast and easy to market solution with cost effective license exempt hardware.

The RF-LoRa Module is CE compliant. Providing that certain procedures are followed. (please refer to application schematic later in this datasheet).



RF LoRa Transceiver



Part Numbers

Part Number	Description
RF-LoRa-868-S0	FM Transceiver Module, pre set to 868MHz (SMT package)
RF-LoRa-868	FM Transceiver Module, pre set to 868MHz (DIP package)
RF-LoRa-915-S0	FM Transceiver Module, pre set to 915MHz

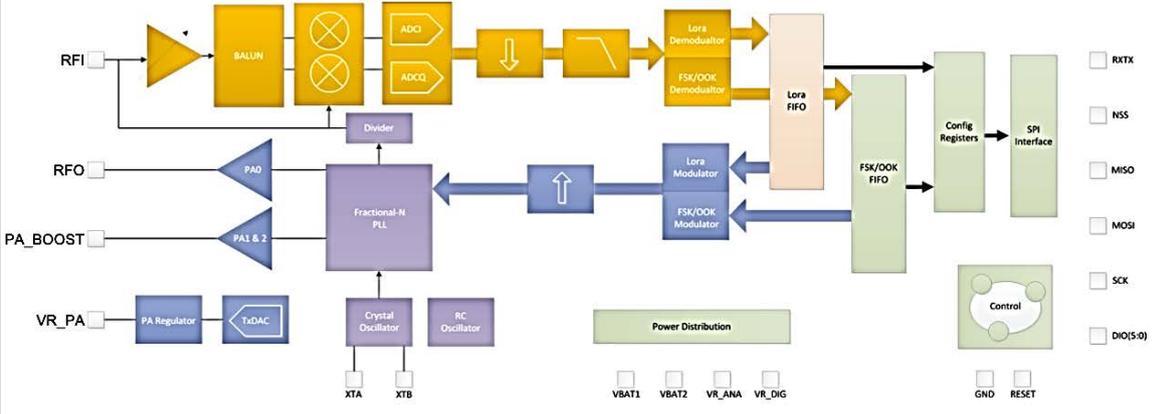
PIN	Definition	Direction	Function		
1	Antenna	In/Out	Antenna pin connection. Keep short (50phms Impedance)		
2	GND	-	Ground connection		
3	Vcc	In	Power connection		
4	RX_SWITCH	In	Enable RX RF Path Active High		
				TX PIN5	RX PIN4
			RX Mode	0	1
5	TX_SWITCH	In	Enable TX RF Path Active High		
				TX PIN5	RX PIN4
			TX Mode	1	0
6	DIO0	In/Out	Digital I/O software configured		
7	DIO1	In/Out	Digital I/O software configured		
8	DIO2	In/Out	Digital I/O software configured		
9	DIO3	In/Out	Serial Interface Select Input (0 – VDD V): Provides select/enable function for 4-line serial data bus.		
10	DIO4	In/Out	Digital I/O software configured		
11	DIO5	In/Out	Digital I/O software configured		
12	RESET	In	Reset Trigger Input		
13	Serial Clock	In	SPI Serial Clock Input		
14	Serial Data Out	Out	SPI Serial Data Output		
15	Serial Data In	In	SPI Serial Data Input		
16	nSEL	In	Device Select Active Low		



SX1272/73

WIRELESS & SENSING PRODUCTS
DATASHEET

SX1272/73 - 860 MHz to 1020 MHz Low Power Long Range Transceiver



GENERAL DESCRIPTION

The SX1272/73 transceivers feature the LoRa™ long range modem that provides ultra-long range spread spectrum communication and high interference immunity whilst minimising current consumption.

Using Semtech's patented LoRa™ modulation technique SX1272/73 can achieve a sensitivity of over -137 dBm using a low cost crystal and bill of materials. The high sensitivity combined with the integrated +20 dBm power amplifier yields industry leading link budget making it optimal for any application requiring range or robustness. LoRa™ also provides significant advantages in both blocking and selectivity over conventional modulation techniques, solving the traditional design compromise between range, interference immunity and energy consumption.

These devices also support high performance (G)FSK modes for systems including WMBus, IEEE802.15.4g. The SX1272/73 deliver exceptional phase noise, selectivity, receiver linearity and IIP3 for significantly lower current consumption than competing devices.

KEY PRODUCT FEATURES

- ◆ LoRa™ Modem
- ◆ 157 dB maximum link budget
- ◆ +20 dBm at 100 mW constant RF output vs. V supply
- ◆ +14 dBm high efficiency PA
- ◆ Programmable bit rate up to 300 kbps
- ◆ High sensitivity: down to -137 dBm
- ◆ Bullet-proof front end: IIP3 = -12.5 dBm
- ◆ 89 dB blocking immunity
- ◆ Low RX current of 10 mA, 100 nA register retention
- ◆ Fully integrated synthesizer with a resolution of 61 Hz
- ◆ FSK, GFSK, MSK, GMSK, LoRa™ and OOK modulation
- ◆ Built-in bit synchronizer for clock recovery
- ◆ Preamble detection
- ◆ 127 dB Dynamic Range RSSI
- ◆ Automatic RF Sense and CAD with ultra-fast AFC
- ◆ Packet engine up to 256 bytes with CRC
- ◆ Built-in temperature sensor and low battery indicator

ORDERING INFORMATION

Part Number	Delivery	MOQ / Multiple
SX1272IMLTRT	T&R	3000 pieces
SX1273IMLTRT	T&R	3000 pieces

- ◆ QFN 28 Package - Operating Range from -40 to +85°C
- ◆ Pb-free, Halogen free, RoHS/WEEE compliant product

APPLICATIONS

- ◆ Automated Meter Reading
- ◆ Home and Building Automation
- ◆ Wireless Alarm and Security Systems
- ◆ Industrial Monitoring and Control
- ◆ Long range Irrigation Systems

5.4. Transmitter Description

The transmitter of SX1272/73 comprises the frequency synthesizer, modulator (both LoRa™ and FSK/OOK) and power amplifier blocks, together with the DC biasing and ramping functionality that is provided through the VR_PA block.

5.4.1. Architecture Description

The architecture of the RF front end is shown in the following diagram. Here we see that the unregulated PA0 is connected to the RFO pin features a single low power amplifier device. The PA_BOOST pin is connected to the internally regulated PA1 and PA2 circuits. Here PA2 is a high power amplifier that permits continuous operation up to +17 dBm and duty cycled operation up to +20 dBm. For full details of operation at +20 dBm please consult Section 5.4.3.

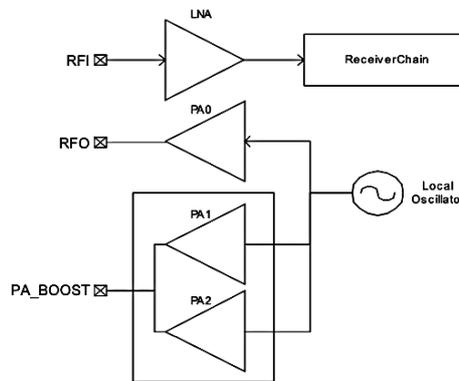


Figure 42. RF Front-end Architecture Shows the Internal PA Configuration.

5.4.2. RF Power Amplifiers

Three power amplifier blocks, PA0 - PA2, are available in the SX1272/73. PA0 is a high efficiency amplifier capable of yielding RF power programmable in 1 dB steps from -1 dBm to +14 dBm directly into a 50 ohm load with low current consumption. PA0 is connected to pin RFO (pin 24).

PA1 and PA2 are both connected to pin PA_BOOST (pin 27). There are two potential configurations of these power amplifiers, fixed or programmable. In the fixed configuration they can deliver up to +20 dBm. In programmable configuration they can provide from +17 dBm to +2 dBm in 1 dB programmable steps. Naturally, low impedance matching and harmonic filtering is required to ensure RF power delivery and regulatory compliance. (See the applications section of this document for more details).

Table 31 Power Amplifier Mode Selection Truth Table

PaSelect	Mode	Power Range	Pout Formula
0	PA0 output on pin RFO	-1 to +14 dBm	-1 dBm + OutputPower
1	PA1 and PA2 combined on pin PA_BOOST	+2 to +17 dBm	+2 dBm + OutputPower
1	PA1+PA2 on PA_BOOST with high output power +20 dBm settings (see 5.4.3)	+5 to +20 dBm	+5 dBm + OutputPower



6.3. LoRa™ Mode Register Map

This section details the SX1272/73 register mapping and the precise contents of each register in LoRa™ mode.

It is essential to understand that the LoRa modem is controlled independently of the FSK modem. Therefore, care should be taken when accessing the registers, especially as some register may have the same name in LoRa or FSK mode.

The LoRa registers are only accessible when the device is set in Lora mode (and, in the same way, the FSK register are only accessible in FSK mode). However, in some cases, it may be necessary to access some of the FSK register while in LoRa mode. To this aim, the *AccesSharedReg* bit was created in the *RegOpMode* register. This bit, when set to '1', will grant access to the FSK register 0x0D up to the register 0x3F. Once the setup has been done, it is strongly recommended to clear this bit so that LoRa register can be access normally.

Convention: r: read, w: write, c: set to clear and t: trigger

Table 41 Register Map, LoRa Mode

Name (Address)	Bits	Variable Name	Mode	Reset	LoRa™ Description
RegFifo (0x00)	7-0	Fifo	rw	0x00	LoRa™ base-band FIFO data input/output. FIFO is cleared and not accessible when device is in SLEEP mode
Common Register Settings					
RegOpMode (0x01)	7	LongRangeMode	rw	0x0	0 → FSK/OOK Mode 1 → LoRa™ Mode This bit can be modified only in Sleep mode. A write operation on other device modes is ignored.
	6	AccesSharedReg	rw	0x0	This bit operates when device is in Lora mode; if set it allows access to FSK registers page located in address space (0x0D:0x3F) while in LoRa mode 0 → Access LoRa registers page 0x0D: 0x3F 1 → Access FSK registers page (in mode LoRa) 0x0D: 0x3F
	5-3	unused	r	0x00	
	2-0	Mode	rwt	0x01	Device modes 000 → SLEEP 001 → STDBY 010 → Frequency synthesis TX (FSTX) 011 → Transmit (TX) 100 → Frequency synthesis RX (FSRX) 101 → Receive continuous (RXCONTINUOUS) 110 → receive single (RXSINGLE) 111 → Channel activity detection (CAD)
(0x02)	7-0	reserved	r	0x00	-
(0x03)	7-0	reserved	r	0x00	-
(0x04)	7-0	reserved	r	0x00	-
(0x05)	7-0	reserved	r	0x00	-
RegFrMsb (0x06)	7-0	Fr(23:16)	rw	0xE4	MSB of RF carrier frequency
RegFrMib (0x07)	7-0	Fr(15:8)	rw	0xC0	MIB of RF carrier frequency



Name (Address)	Bits	Variable Name	Mode	Reset	LoRa™ Description
RegFrLsb (0x08)	7-0	Fr(7:0)	rwt	0x00	LSB of RF carrier frequency $f_{RF} = \frac{F(XOSC) \cdot Frf}{2^{19}}$ Resolution is 61.035 Hz if F(XOSC) = 32 MHz. Default value is 0xe4c000 = 915 MHz. Register values must be modified only when device is in SLEEP or STANDBY mode.
register for RF					
RegPaConfig (0x09)	7	PaSelect	rw	0x00	Selects PA output pin 0 → RFIO pin. Output power is limited to 13 dBm. 1 → PA_BOOST pin. Output power is limited to 20 dBm
	6-4	unused	r	-	unused
	3-0	OutputPower	rw	0x0F	power amplifier max output power: Pout = 2 + OutputPower(3:0) on PA_BOOST. Pout = -1 + OutputPower(3:0) on RFIO.
RegPaRamp (0x0A)	7-5	unused	r	-	unused
	4	LowPnTxPllOff	rw	0x01	1 → Low consumption PLL is used in receive and transmit mode 0 → Low consumption PLL in receive mode, low phase noise PLL in transmit mode.
	3-0	PaRamp(3:0)	rw	0x09	Rise/Fall time of ramp up/down in FSK 0000 → 3.4 ms 0001 → 2 ms 0010 → 1 ms 0011 → 500 us 0100 → 250 us 0101 → 125 us 0110 → 100 us 0111 → 62 us 1000 → 50 us 1001 → 40 us 1010 → 31 us 1011 → 25 us 1100 → 20 us 1101 → 15 us 1110 → 12 us 1111 → 10 us
RegOcp (0x0B)	7-6	unused	r	0x00	unused
	5	OcpOn	rw	0x01	Enables overload current protection (OCP) for PA: 0 → OCP disabled 1 → OCP enabled
	4-0	OcpTrim	rw	0x0B	Trimming of OCP current: Imax = 45+5*OcpTrim [mA] if OcpTrim <= 15 (120 mA) / Imax = -30+10*OcpTrim [mA] if 15 < OcpTrim <= 27 (130 to 240 mA) Imax = 240mA for higher settings Default Imax = 100mA

2. Electrical Characteristics

2.1. ESD Notice

The SX1272/73 is a high performance radio frequency device. It satisfies:

- ◆ Class II of the JEDEC standard JESD22-A114-B (Human Body Model) on all pins.
- ◆ Class III of the JEDEC standard JESD22-C101C (Charged Device Model) on all pins



It should thus be handled with all the necessary ESD precautions to avoid any permanent damage.

2.2. Absolute Maximum Ratings

Stresses above the values listed below may cause permanent device failure. Exposure to absolute maximum ratings for extended periods may affect device reliability.

Table 3 Absolute Maximum Ratings

Symbol	Description	Min	Max	Unit
VDDmr	Supply Voltage	-0.5	3.9	V
Tmr	Temperature	-55	+115	°C
Tj	Junction temperature	-	+125	°C
Pmr	RF Input Level	-	+10	dBm

Note Specific ratings apply to +20 dBm operation (see Section 5.4.3).

2.3. Operating Range

Table 4 Operating Range

Symbol	Description	Min	Max	Unit
VDDop	Supply voltage	1.8	3.7	V
Top	Operational temperature range	-40	+85	°C
Clop	Load capacitance on digital ports	-	25	pF
ML	RF Input Level	-	+10	dBm

Note A specific supply voltage range applies to +20 dBm operation (see Section 5.4.3).

2.4. Thermal Properties

Table 5 Operating Range

Symbol	Description	Min	Typ	Max	Unit
THETA_JA	Package θ_{ja} (Junction to ambient)	-	22.185	-	°C/W
THETA_JC	Package θ_{jc} (Junction to case ground paddle)	-	0.757	-	°C/W



Symbol	Description	Conditions	Min.	Typ	Max	Unit	
IIP2_L	2nd order input intercept point, highest LNA gain, FRF = 868 MHz, CW interferer.	F1 = FRF + 20 MHz F2 = FRF + 20 MHz + Δf	-	57	-	dBm	
BR_L	Bit rate, Long-Range Mode	From SF6, CR = 4/5, BW = 500 kHz to SF12, CR = 4/8, BW = 125 kHz	0.24	-	37.5	kbps	
RFS_L125	RF sensitivity, Long-Range Mode, highest LNA gain, LNA boost, 125 kHz bandwidth using split Rx/Tx path	SF = 6	-	-121	-	dBm	
		SF = 7	-	-124	-	dBm	
		SF = 8	-	-127	-	dBm	
		SF = 9	-	-130	-	dBm	
		SF = 10	-	-133	-	dBm	
		SF = 11	-	-135	-	dBm	
RFS_L250	RF sensitivity, Long-Range Mode, highest LNA gain, LNA boost, 250 kHz bandwidth using split Rx/Tx path	SF = 6	-	-118	-	dBm	
		SF = 7	-	-122	-	dBm	
		SF = 8	-	-125	-	dBm	
		SF = 9	-	-128	-	dBm	
		SF = 10	-	-130	-	dBm	
		SF = 11	-	-132	-	dBm	
RFS_L500	RF sensitivity, Long-Range Mode, highest LNA gain, LNA boost, 500 kHz bandwidth using split Rx/Tx path	SF = 6	-	-111	-	dBm	
		SF = 7	-	-116	-	dBm	
		SF = 8	-	-119	-	dBm	
		SF = 9	-	-122	-	dBm	
		SF = 10	-	-125	-	dBm	
		SF = 11	-	-128	-	dBm	
CCR_LCW	Co-channel rejection Single CW tone = Sens +6 dB 1% PER	SF = 7	-	5	-	dB	
		SF = 8	-	9.5	-	dB	
		SF = 9	-	12	-	dB	
		SF = 10	-	14.4	-	dB	
		SF = 11	-	17	-	dB	
CCR_LL	Co-channel rejection	SF = 12	-	19.5	-	dB	
		Interferer is a LoRa™ signal using same BW and same SF. Pw = Sensitivity +3 dB		-	-6	-	dB
		Interferer is 1.5*BW_L from the wanted signal center frequency 1% PER, Single CW tone = Sensitivity + 3 dB		-	-	-	-
		SF = 7	-	60	-	dB	
		SF = 12	-	72	-	dB	
IMR_LCW	Image rejection after calibration	1% PER, Single CW tone = Sens +3 dB	-	66	-	dB	
FERR_L	Maximum tolerated frequency offset between transmitter and receiver, no sensitivity degradation	BW_L = 125 kHz	-30	-	30	kHz	
		BW_L = 250 kHz	-60	-	60	kHz	
		BW_L = 500 kHz	-120	-	120	kHz	

Table 10 Electrical specifications: LoRa™ mode



Name (Address)	Bits	Variable Name	Mode	Reset	LoRa™ Description
RegPktRssiValue (0x1A)	7-0	PacketRssi	r	n/a	RSSI of the latest packet received (dBm) $RSSI[dBm] = -139 + PacketRssi$ (when SNR ≥ 0) or $RSSI[dBm] = -139 + PacketRssi + PacketSnr * 0.25$ (when SNR < 0)
RegRssiValue (0x1B)	7-0	Rssi	r	n/a	Current RSSI value (dBm) $RSSI[dBm] = -139 + Rssi$
RegHopChannel (0x1C)	7	PllTimeout	r	n/a	PLL failed to lock while attempting a TX/RX/CAD operation 1 → PLL did not lock 0 → PLL did lock
	6	CrcOnPayload	r	n/a	CRC Information extracted from the received packet header (Explicit header mode only) 0 → Header indicates CRC off 1 → Header indicates CRC on
	5-0	FhssPresentChannel	r	n/a	Current value of frequency hopping channel in use.
RegModemConfig 1 (0x1D)	7-6	Bw	rw	0x0	Signal bandwidth: 00 → 125 kHz 01 → 250 kHz 10 → 500 kHz 11 → reserved
	5-3	CodingRate	rw	'001'	Error coding rate 001 → 4/5 010 → 4/6 011 → 4/7 100 → 4/8 All other values → reserved In implicit header mode should be set on receiver to determine expected coding rate. See Section 4.1.1.3.
	2	ImplicitHeaderModeOn	rw	0x0	0 → Explicit Header mode 1 → Implicit Header mode
	1	RxPayloadCrcOn	rw	0x0	Enable CRC generation and check on payload: 0 → CRC disable 1 → CRC enable If CRC is needed, RxPayloadCrcOn should be set: - in Implicit header mode: on Tx and Rx side - in Explicit header mode: on the Tx side alone (recovered from the header in Rx side)
	0	LowDataRateOptimize	rw	0x0	0 → Disabled 1 → Enabled; mandated for SF11 and SF12 with BW = 125 kHz



Name (Address)	Bits	Variable Name	Mode	Reset	LoRa™ Description
RegModemConfig2 (0x1E)	7-4	SpreadingFactor	rw	0x7	SF rate (expressed as a base-2 logarithm) 6 → 64 chips / symbol 7 → 128 chips / symbol 8 → 256 chips / symbol 9 → 512 chips / symbol 10 → 1024 chips / symbol 11 → 2048 chips / symbol 12 → 4096 chips / symbol other values reserved.
	3	TxContinuousMode	rw	0	0 → normal mode, a single packet is sent 1 → continuous mode, send multiple packets across the FIFO (used for spectral analysis)
	2	AgcAutoOn	rw	0x01	0 → LNA gain set by register LnaGain 1 → LNA gain set by the internal AGC loop
	1-0	SymbTimeout(9:8)	rw	0x00	RX Time-Out MSB
RegSymbTimeoutLsb (0x1F)	7-0	SymbTimeout(7:0)	rw	0x64	RX Time-Out LSB RX operation time-out value expressed as number of symbols: $TimeOut = SymbTimeout \cdot Ts$
RegPreambleMsb (0x20)	7-0	PreambleLength(15:8)	rw	0x0	Preamble length MSB, = PreambleLength + 4.25 Symbols See Section 4.1.1.6 for more details.
RegPreambleLsb (0x21)	7-0	PreambleLength(7:0)	rw	0x8	Preamble Length LSB
RegPayloadLength (0x22)	7-0	PayloadLength(7:0)	rw	0x1	Payload length in bytes. The register needs to be set in implicit header mode for the expected packet length. A 0 value is not permitted
RegMaxPayloadLength (0x23)	7-0	PayloadMaxLength(7:0)	rw	0xFF	Maximum payload length; if header payload length exceeds value a header CRC error is generated. Allows filtering of packet with a bad size.
RegHopPeriod (0x24)	7-0	FreqHoppingPeriod(7:0)	rw	0x0	Symbol periods between frequency hops. (0 = disabled). 1st hop always happen after the 1st header symbol
RegFifoRxByteAddr (0x25)	7-0	FifoRxByteAddrPtr	r	n/a	Current value of RX databuffer pointer (address of last byte written by Lora receiver)
(0x26) - (0x27)	-	Reserved	r	n/a	Reserved
RegFeiMsb (0x28)	7-4	Reserved	r	n/a	Reserved
	3-0	FreqError(19:16)	r	0x0	Estimated frequency error from modem in 2's compliment format. MSB of RF Frequency error $F_{Error} = \frac{FreqError \times 2^{24}}{F_{xtal}}$
(RegFeiMid (0x29)	7-0	FreqError(15:8)	r	0x0	Middle byte of RF Frequency Error

High Frequency Ceramic Solutions

868 MHz Antenna for small form factor applications

P/N 0868AT43A0020

Detail Specification: 9/7/2016

Page 1 of 5

General Specifications

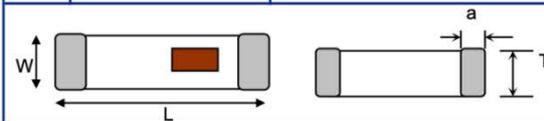
Part Number	0868AT43A0020	Input Power	3W max. (CW)
Frequency Range	858 - 878 Mhz	Impedance	50 Ω
Peak Gain	-1.0 dBi typ. (XZ-total)	Operating Temperature	-40 to +85°C
Average Gain	-4.0 dBi typ. (XZ-total)	Reel Quantity	1,000
Return Loss	9.5 dB min.	MSL	1

Part Number Explanation

P/N Suffix	Packing Style	Bulk	Suffix = S	eg. 0868AT43A0020S
		T & R	Suffix = E	eg. 0868AT43A0020E
	Termination style	100% Tin	Suffix = None	eg. 0868AT43A0020 (E or S)
		Tin / Lead	Please Consult Factory	

Mechanical Dimensions

	In	mm
L	0.276 ± 0.008	7.00 ± 0.20
W	0.079 ± 0.008	2.00 ± 0.20
T	0.031 + .004/-0.008	0.80 + 0.1/-0.2
a	0.020 ± 0.012	0.50 ± 0.30



Terminal Configuration

No.	Function
1	Feeding Point
2	NC



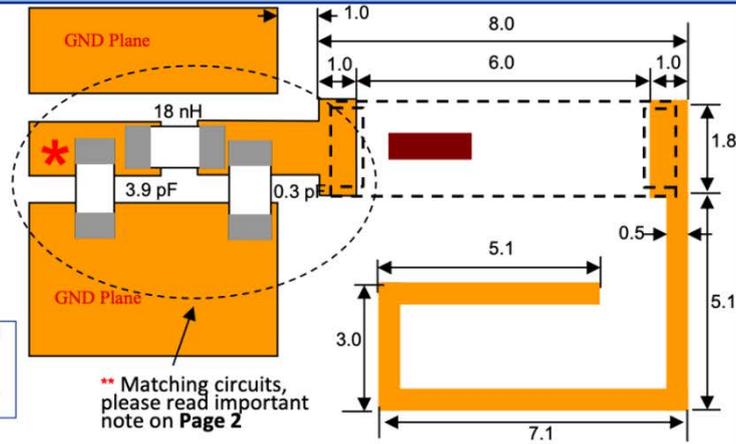
Mounting Considerations I

Mount these devices with brown mark facing up. Units: mm

* Line width should be designed to provide 50 Ω impedance matching characteristics.

With Matching Circuit

JTI P/Na for Matching Circuit: **
 Cap (0.3pF): 500R07S0R3BV4T
 Cap (3.9pF): 500R07S3R9BV4T
 Inductor (18nH): L-07C18NJV6T



** Matching circuits, please read important note on Page 2

Johanson Technology, Inc. reserves the right to make design changes without notice.
 All sales are subject to Johanson Technology, Inc. terms and conditions.



www.johansontechnology.com

4001 Calle Tecate • Camarillo, CA 93012 • TEL 805.389.1166 FAX 805.389.1821

Ver 1.8

2016 Johanson Technology, Inc. All Rights Reserved

Documents réponse

Document réponse DR1

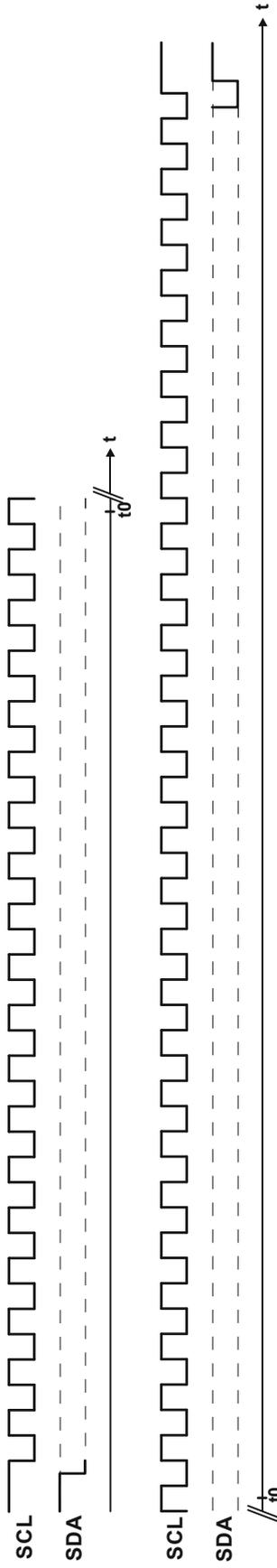
Q5.

T = 20 °C OUT_TEMP_H OUT_TEMP_L

T = 25 °C OUT_TEMP_H OUT_TEMP_L

T = 30 °C OUT_TEMP_H OUT_TEMP_L

Q6.

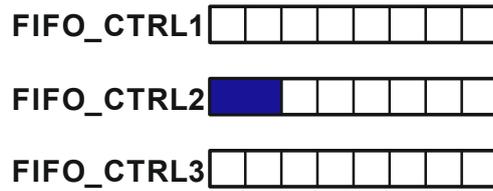


Afin d'améliorer la lisibilité du chronogramme, ce dernier a été scindé en 2 parties de part et d'autre de $t = t_0$.

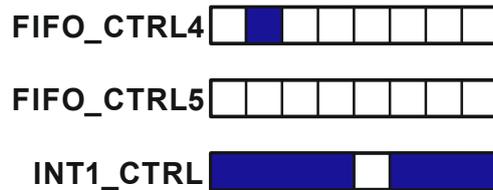
NE RIEN ECRIRE DANS CE CADRE

Document réponse DR2

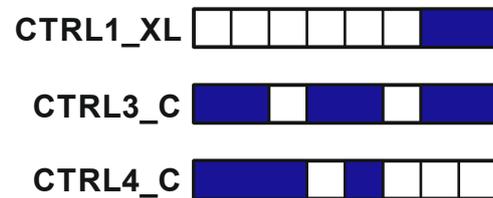
Q9.



Q10.



Q11.



Q15.

m	N = 2 ^m	Nombre de structures papillon				
		Etage 1	Etage 2	Etage 3	Etage 4	Etage 5
1	2	1				
2	4					
3	8					
4	16					
5	32					

Q48.

BW = 125 kHz								
SF	Vitesse de modulation utile R _{su} en Bd				Débit binaire utile R _{bu} en bits/s			
	CR=4/8	CR=4/7	CR=4/6	CR=4/5	CR=4/8	CR=4/7	CR=4/6	CR=4/5
7								
8								
9								
10								
11								
12								

